

Procesory a mikrokontroléry Motorola 68000, 683xx a ColdFire

Pavel Píša

<http://cmp.felk.cvut.cz/~pisa>

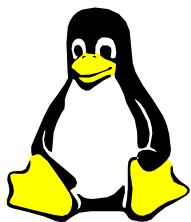
X35POS 2010

<http://dce.felk.cvut.cz/pos>

Využité podklady:

John Bayko, Great Microprocessors of the Past and Present

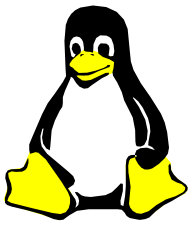
<http://www.sasktelwebsite.net/jbayko/cpu.html>



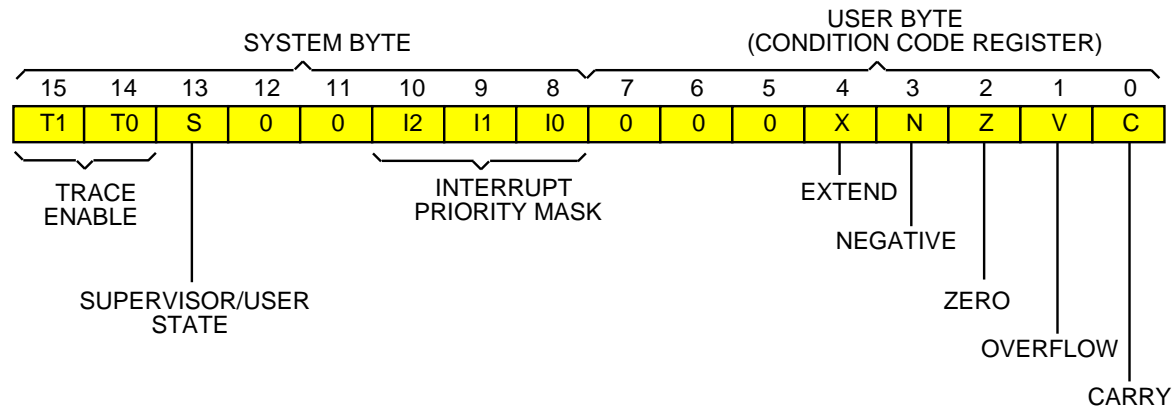
Základní výkonná/desktopová řada 680X0

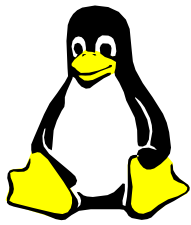


Feature	68000	'EC000	68010	68020	68030	68040	68060
Data bus	16	8/16	16	8/16/32	8/16/32	32	32
Addr bus	23	23	23	32	32	32	32
Misaligned Addr	-	-	-	Yes	Yes	Yes	Yes
Virtual memory	-	-	Yes	Yes	Yes	Yes	Yes
Instruct Cache	-	-	3	256	256	4096	8192
Data Cache	-	-	-	-	256	4096	8192
Memory manager	68451 or 68851			68851	Yes	Yes	Yes
ATC entries	-	-	-	-	22	64/64	64/64
FPU interface	-	-	-	68881 or 68882		Internal FPU	
built-in FPU	-	-	-	-	-	Yes	Yes
Burst Memory	-	-	-	-	Yes	Yes	Yes
Bus Cycle type	asynchronous				both	synchronous	
Data Bus Sizing	-	-	-	Yes	Yes	use 68150	
Power (watts)	1.2	0.13-0.26	0.13	1.75	2.6	4-6	3.9-4.9
at frequency of	8.0	8-16	8	16-25	16-50	25-40	50-66
MIPS/kDhryst.	1.2/2.1	2.5/4.3		6.5/11	14/23	35/60	100/300
Transistors	68k		84k	190k	273k	1,170k	2,500k
Introduction	1979		1982	1984	1987	1991	1994



Stavový registr

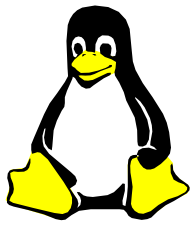




Adresní režimy 68000



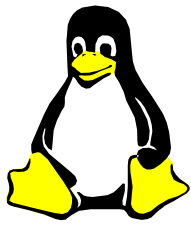
Pro přístup k operandům slouží 14 režimů adresace. V literatuře je užívána dále popsaná následující konvence pro popis režimů adresace a instrukcí.



Adresace - konvence pro registry



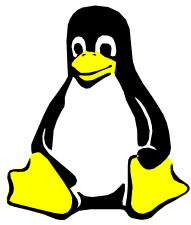
- **EA**- efektivní adresa
- **An**- adresový registr n, například **A3**
- **Dn**- datový registr n, například **D3**
- **Rn**- libovolný z datových a adresových registrů
- **Xn.SIZE*SCALE** index registr, libovolný datový nebo adresový registr
 - **SIZE** velikost indexu **W** (16 bitový) nebo **L** (32 bitový)
 - **SCALE** měřítko - násobitel indexu 1, 2, 4 nebo 8
- **PC**- čítač programu
- **SR**- stavový registr
- **SP**- ukazatel zásobníku (**A7** - **USR** nebo **SSR**)
- **CCR** - podmínkový registr, nižší byte **SR**
- **USP** - ukazatel zásobníku v uživatelském režimu
- **SSP** - ukazatel zásobníku v systémovém režimu



Adresace - konvence přímé operandy a indirekce



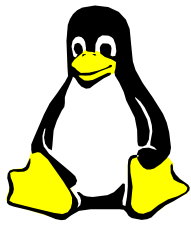
- **dn** ofset, délky n bitů
- **bd** báze adresy až 32 bitů
- **L** délka 32 bitů (long-word)
- **W** délka 16 bitů (word)
- **B** délka 8 bitů (byte)
- **(An)** závorky určují adresaci obsaženou hodnotou



Adresace - režimy, 68000



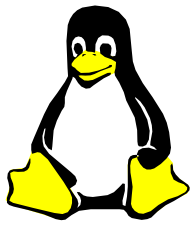
- **Rn** obsah datového nebo adresového registru
- **(An)** obsah paměti na adrese **An**
- **(An)+** obsah paměti na adrese **An** s následnou inkrementací registru o hodnotu danou délkou operandu
- **-(An)** nejdříve dojde k dekrementaci registru o délku operandu a pak je registr použit k adresaci
- **(d16,An)** adresový registr s 16 bitovým znaménkovým posunutím
- **(d8,An,Xn)** adresový registr s 8 bitovým znaménkovým posunutím a přičtením indexového registru (případně jen jeho nižších 16 bitů), pro procesory CPU32 a 68020+ může být index násoben číslem 1, 2, 4 nebo 8
- **(xxx).W 16 bitová absolutní adresa**
- **(xxx).L 32 bitová absolutní adresa**



Adresace - rozšířené indexy a autorelativní adresace



- **(bd,An,Xn*SCALE)** adresa je vytvořena ze součtu adresového registru s indexovým registrem násobeným měřítkem **SCALE** (1, 2, 4 nebo 8) a bázovým posunutím délky až 32 bitů (0, 16 nebo 32), kódování režimu umožňuje potlačit hodnotu indexu, případně i adresového registru, tento režim adresace je implementován v procesorech CPU32 a 68020+
- **(d16,PC)** adresace relativní k **PC** s šestnáctibitovým znaménkovým posunutím
- **(d8,PC,Xn)** adresa relativní k **PC** s osmibitovým znaménkovým posunutím a přičteným indexem
- **(bd,PC,Xn*SCALE)** adresa relativní k **PC** s posunutím až 32 bitů a s indexem násobeným měřítkem, další možnosti jsou shodné s režimy vztaženými k adresovým registrům

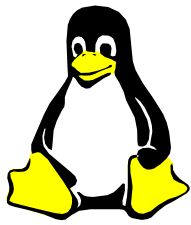


Adresace - rozšíření 68020+

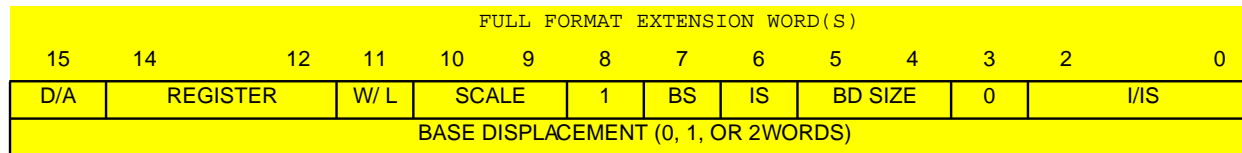
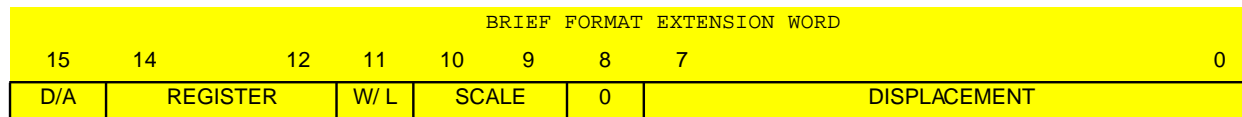
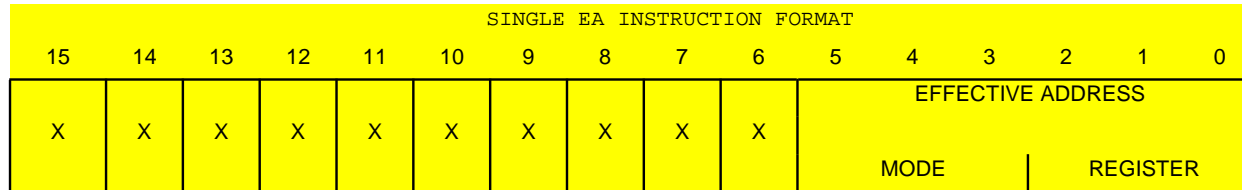


Pro úplnost jsou dále uvedeny i režimy adresace, které nejsou implementovány v jádře CPU32. Tyto režimy jsou implementovány pouze v procesorech 68020 až 68060. Znalost těchto chybějících režimů může být výhodná při hledání problémů s programy původně určenými pro výkonnější členy rodiny 680x0.

- **([bd,An],Xn,od)** adresu tvoří hodnota v paměti na adrese **An+bd**, ke které je přičteno posunutí **od** a index
- **([bd,PC],Xn,od)** totéž ale relativně k **PC**
- **([bd,An,Xn],od)** adresu tvoří hodnota v paměti na adrese **An+Xn+bd**, ke které je přičteno posunutí **od**
- **([bd,PC,Xn],od)** totéž ale relativně k **PC**

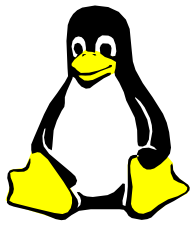


Kódování instrukcí a režimů adresace



Field	Definition	Field	Definition
Instruction Register Extension Register D/A	General Register Number Index Register Number Index Register Type 0 = Dn 1 = An	BS	Base Register Suppress 0 = Base Register Added 1 = Base Register Suppressed
W/L	Word/Long Word Index Size 0 = Sign-Extended Word 1 = Long Word	IS	Index Suppress 0 = Evaluate and Add Index Operand 1 = Suppress Index Operand
Scale	Scale Factor 00 = 1 01 = 2 10 = 4 11 = 8	BD SIZE	Base Displacement Size 00 = Reserved 01 = Null Displacement 10 = Word Displacement 11 = Long-Word Displacement
		I/IS *	Index/Indirect Selection Indirect and Indexing Operand Determined in Conjunction with Bit 6, Index Suppress

*Memory indirect addressing will cause illegal instruction trap; must be = 000 if IS = 1



Instrukční soubor 68000

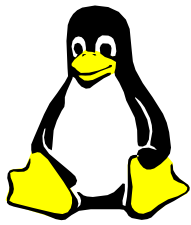


Mnemonic Description

ABCD	Add Decimal with Extend
ADD	Add
AND	Logical AND
ASL	Arithmetic Shift Left
ASR	Arithmetic Shift Right
B<cc>	Branch Conditionally
BCHG	Bit Test and Change
BCLR	Bit Test and Clear
BRA	Branch Always
BSET	Bit Test and Set
BSR	Branch to Subroutine
BTST	Bit Test
CHK	Check Register Against Bounds
CLR	Clear Operand
CMP	Compare
DB<cc>	Decrement and Branch Conditionally
DIVS	Signed Divide
DIVU	Unsigned Divide
EOR	Exclusive OR
EXG	Exchange Registers
EXT	Sign Extend
JMP	Jump
JSR	Jump to Subroutine
LEA	Load Effective Address
LINK	Link Stack
LSL	Logical Shift Left
LSR	Logical Shift Right

Mnemonic Description

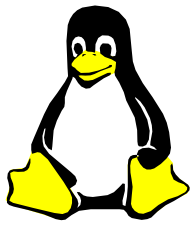
MOVE	Move Source to Destination
MULS	Signed Multiply
MULU	Unsigned Multiply
NBCD	Negate Decimal with Extended
NEG	Negate
NOP	No Operation
NOT	One's Complement
OR	Logical OR
PEA	Push effective Address
RESET	Reset External Devices
ROL	Rotate Left without Extend
ROR	Rotate Right without Extend
ROXL	Rotate Left with Extend
ROXR	Rotate Right with Extend
RTD	Return and Delocate
RTE	Return from Exception
RTR	Return and Restore
RTS	Return from Subroutine
SBCD	Subtract Decimal with Extend
S<cc>	Set Conditional
STOP	Stop
SUB	Subtract
SWAP	Swap data register halves
TAS	Test and Set Operand
TRAP	Trap
TRAPV	Trap on Overflow
TST	Test
UNLK	Unlink Stack Frame



Rozšíření CPU32 a 68020



Mnemonic	Description	CPU32	M68020
Bcc	Supports 32-Bit Displacement	à	à
BFxxxx	Bit Field Instructions (BFCHG, BFCLR, BFEXTS, BFEXTU, BFFO, BFINS, BFSET, BFTST)		à
BGND	Background Operation	à	
BKPT	New Instruction Function	à	à
BRA	Supports 32-Bit Displacement	à	à
BSR	Supports 32-Bit Displacement	à	à
CALLM	New Instruction		à
CAS,CAS2	New Instruction		à
CHK	Supports 32-Bit Operands	à	à
CHK2	New Instruction	à	à
CMP1	Supports Program Counter Relative Addressing	à	à
CMP2	New Instruction	à	à
cp	Coprocessor Instructions		à
DIVS/DIVU	Supports 32-Bit and 64-Bit Operations	à	à
EXTB	Supports 8-Bit Extend to 32 Bits	à	à
LINK	Supports 32-Bit Displacement	à	à
LPSTOP	New Instruction	à	
MOVEC	Supports New Control Registers	à	à
MULS/MULU	Supports 32-Bit Operands and 64-Bit Results	à	à
PACK	New Instruction		à
RTM	New Instruction		à
TBLSN,TBLUN TBLS,TBLU	New Instruction	à	
TST	Supports Program Counter Relative, Immediate, and An Addressing	à	à
TRAPcc	New Instruction	à	à
UNPK	New Instruction		à



Volání funkcí (LINK/UNLK)



```
f(1,2,3);
```

```

    movel #3,%sp@-
      pea 3
    movel #2,%sp@-
    movel #1,%sp@-
    jsr f
ret_pc:
    addql #12,%sp
      lea %sp@(12),%sp

```

```

int f(int a, int b, int c )
{ return a + b + c; }

```

```

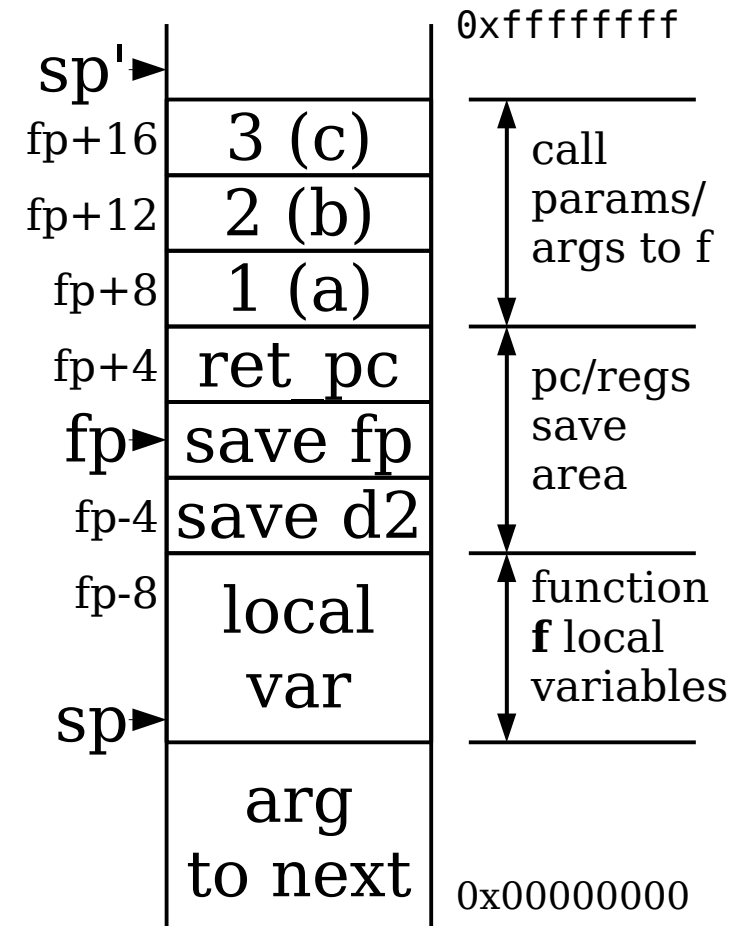
f:  linkw  %fp,#0
      movel %a6,%sp@-
      movel %a7,%a6
    movel %d2,%sp@-
    subql #20,%sp

    movel %fp@(8),%d0
    addl  %fp@(12),%d0
    addl  %fp@(16),%d0

    addql #20,%sp
    movel %sp@+,%d2
    unlk  %fp

      movel %a6,%a7
      movel %sp@+,%a6
    rts

```



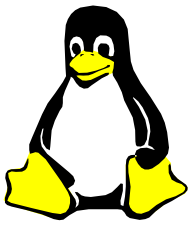
Volací konvence m68k

fixed A7 = SP, (A6 = FP)

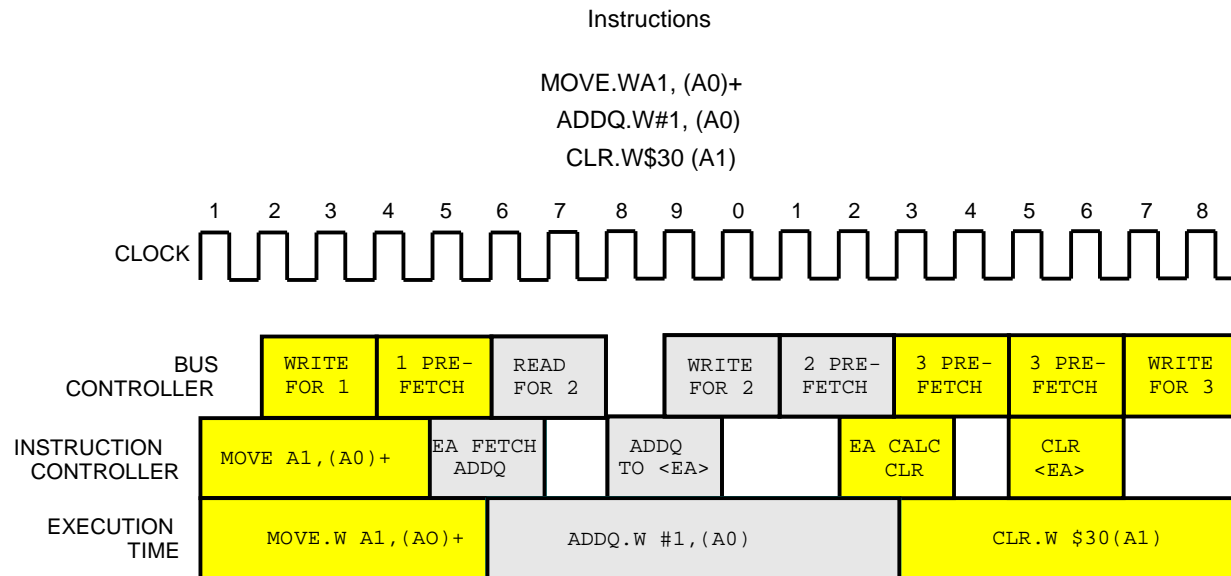
return D0, D0+D1

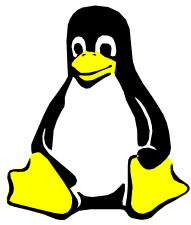
parameters on stack

clobberable registers D0, D1, A0, A1

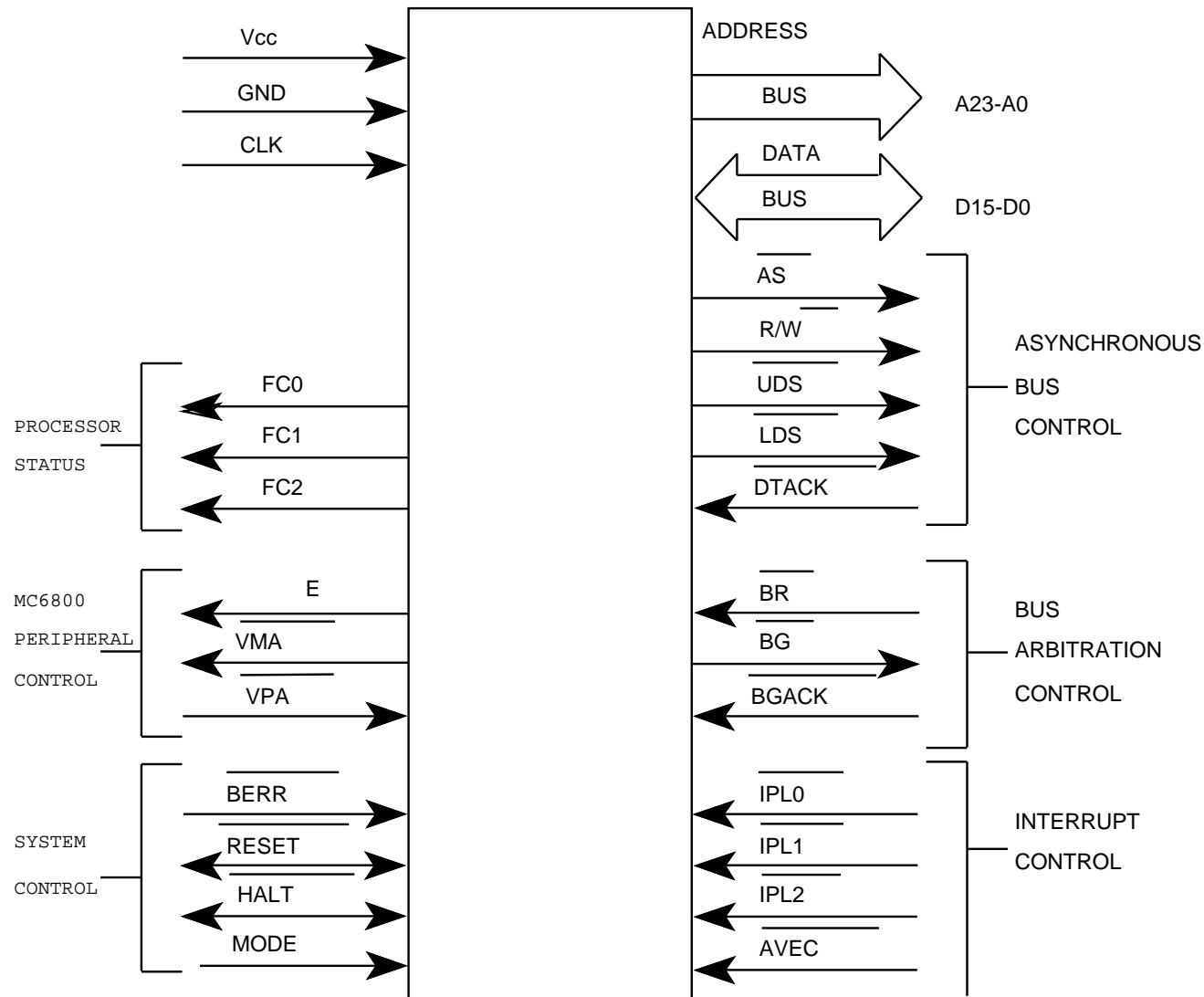


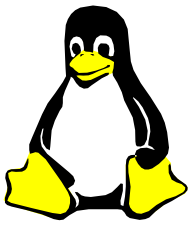
Příklad časování CPU32



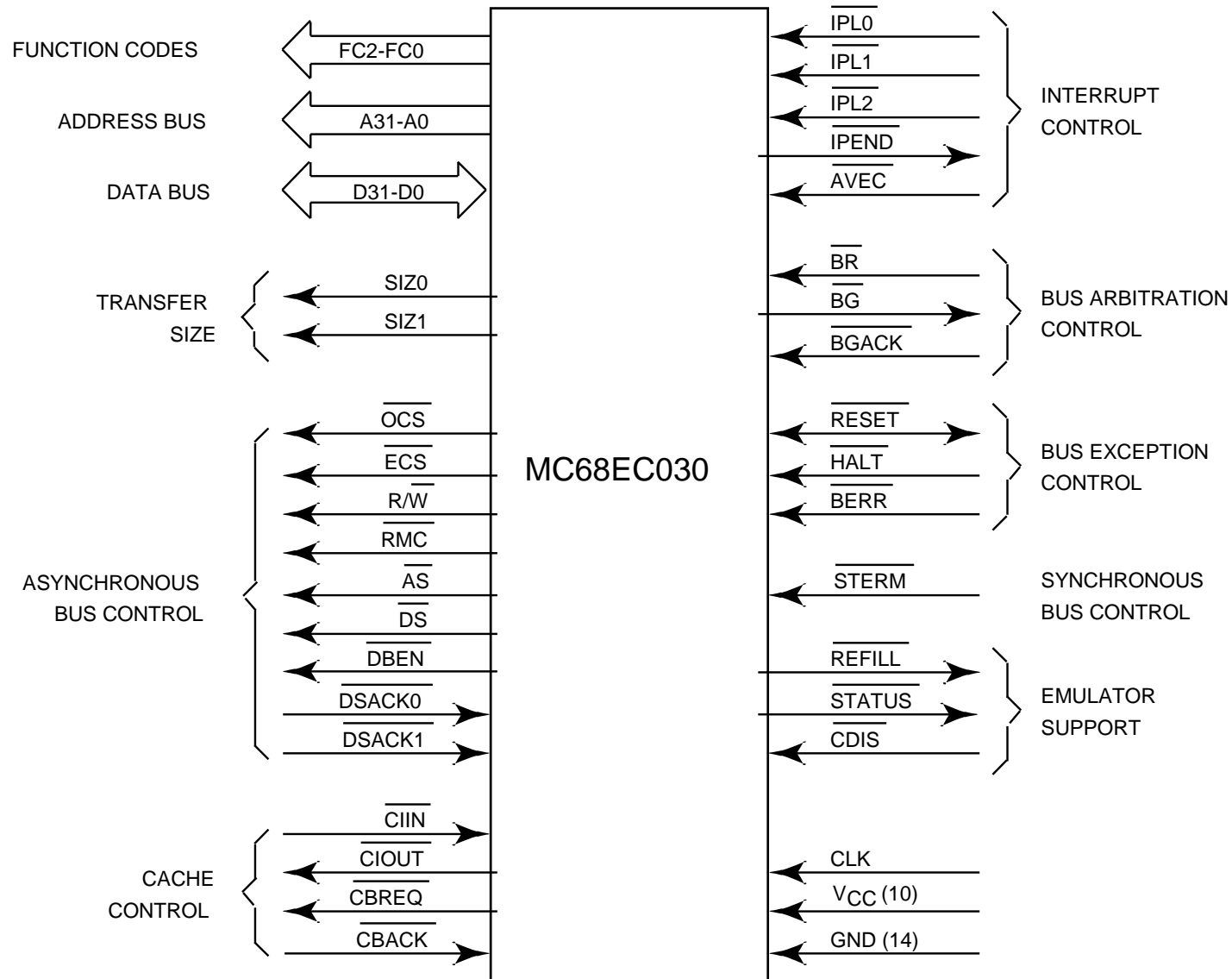


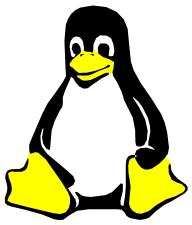
Signály procesorů 68000, 68008, 68EC000



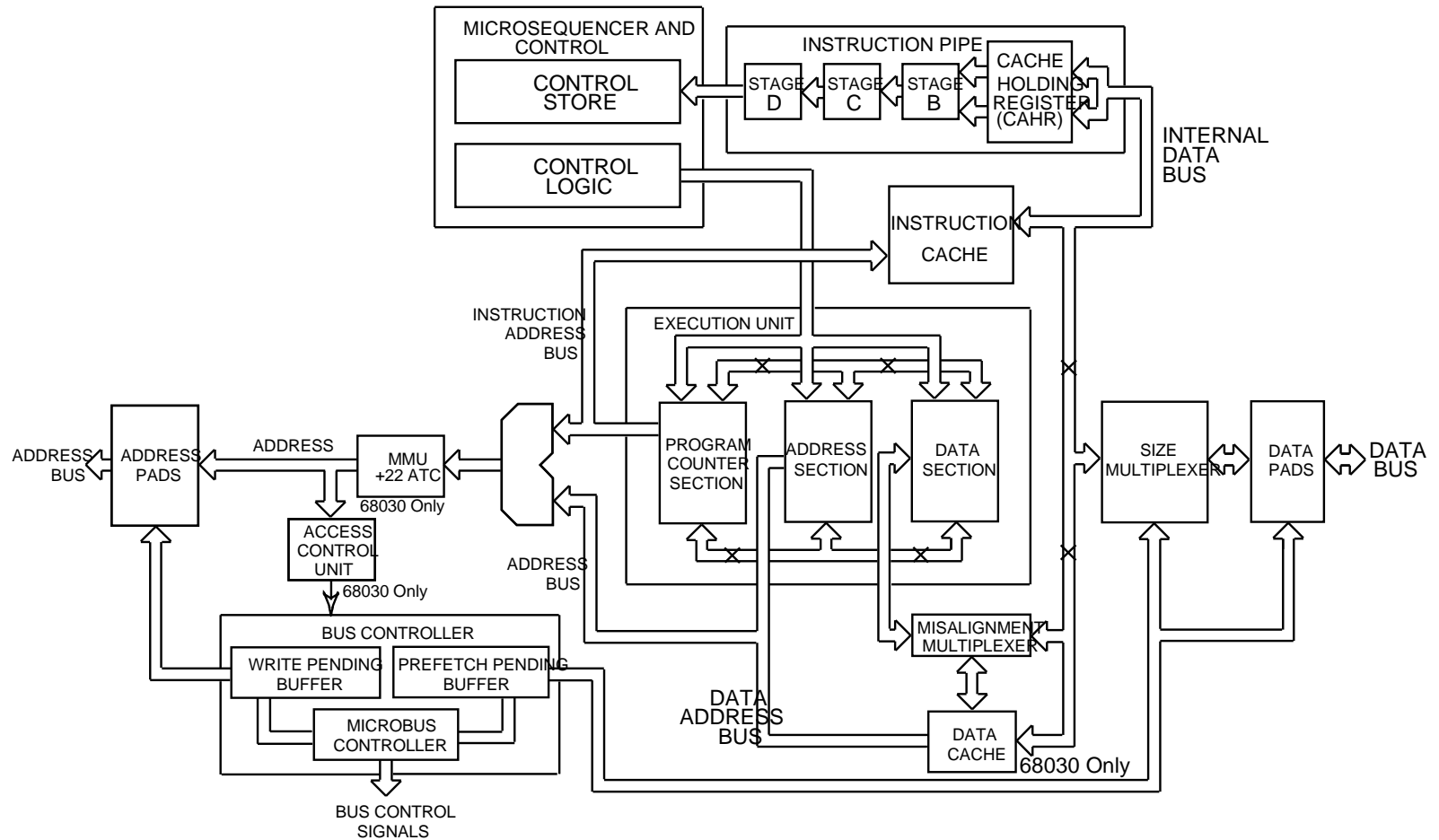


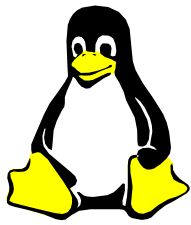
Signály 68030



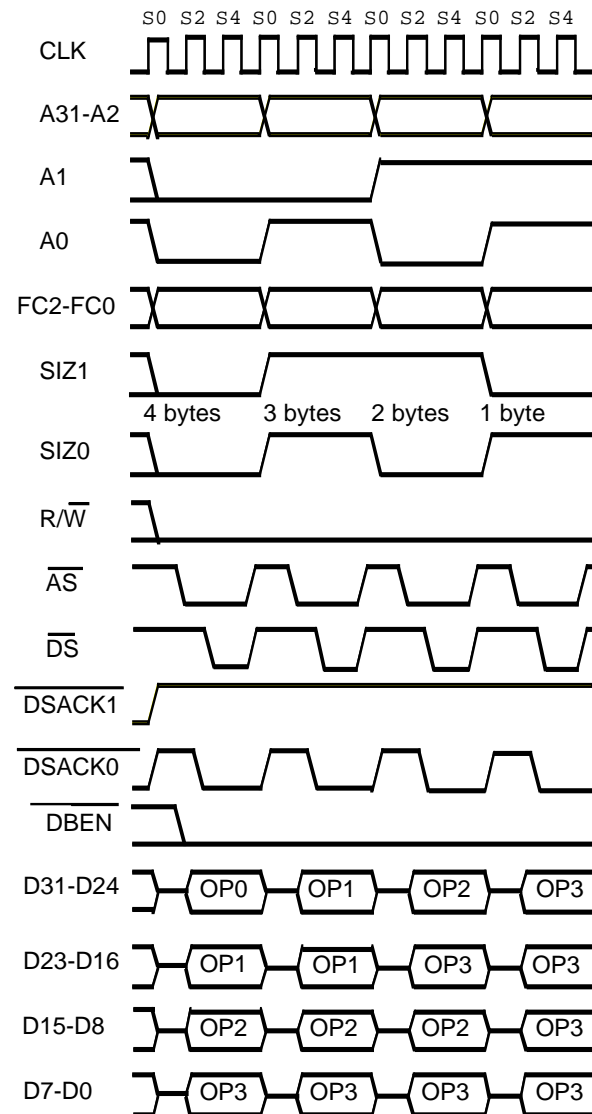


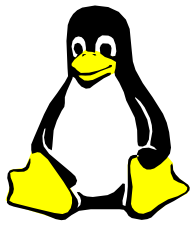
Blokové schéma 68030



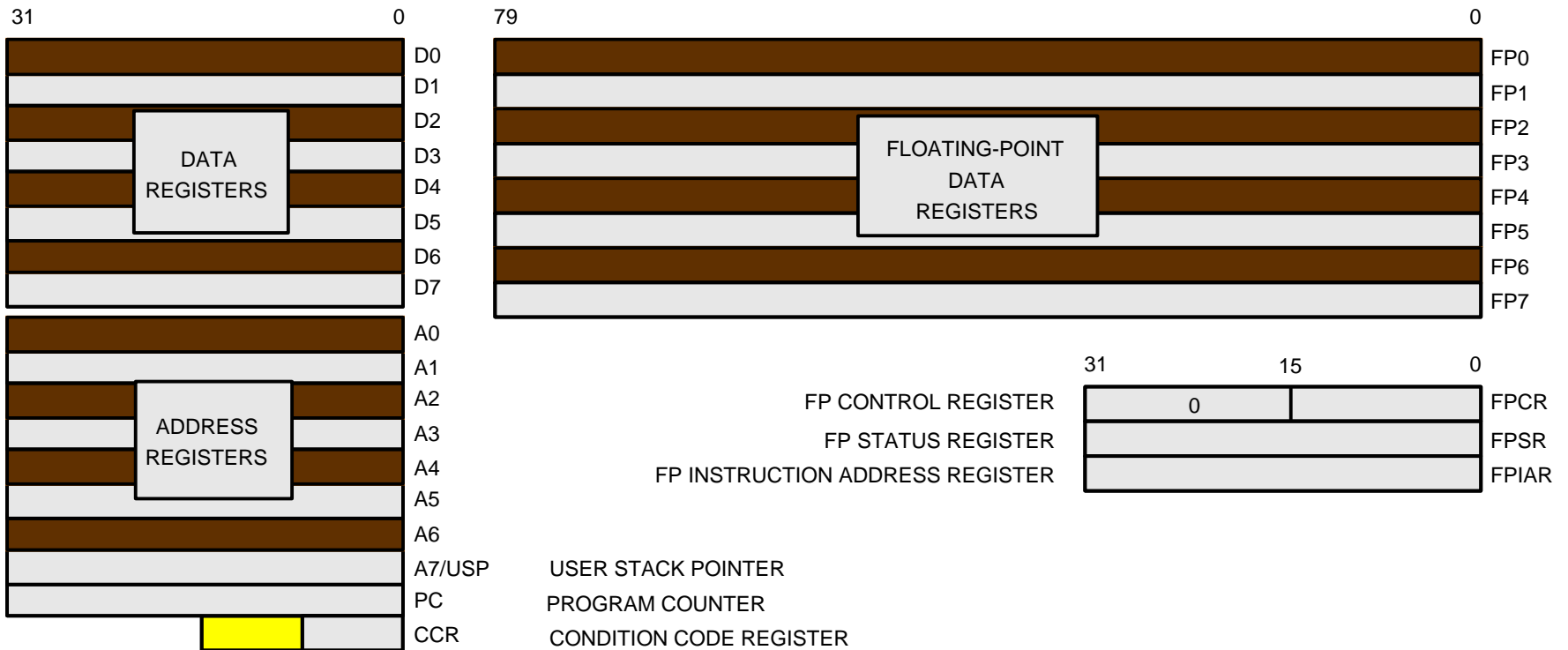


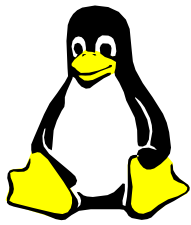
Automatická šířka sběrnice u CPU32(+) a 68020/030



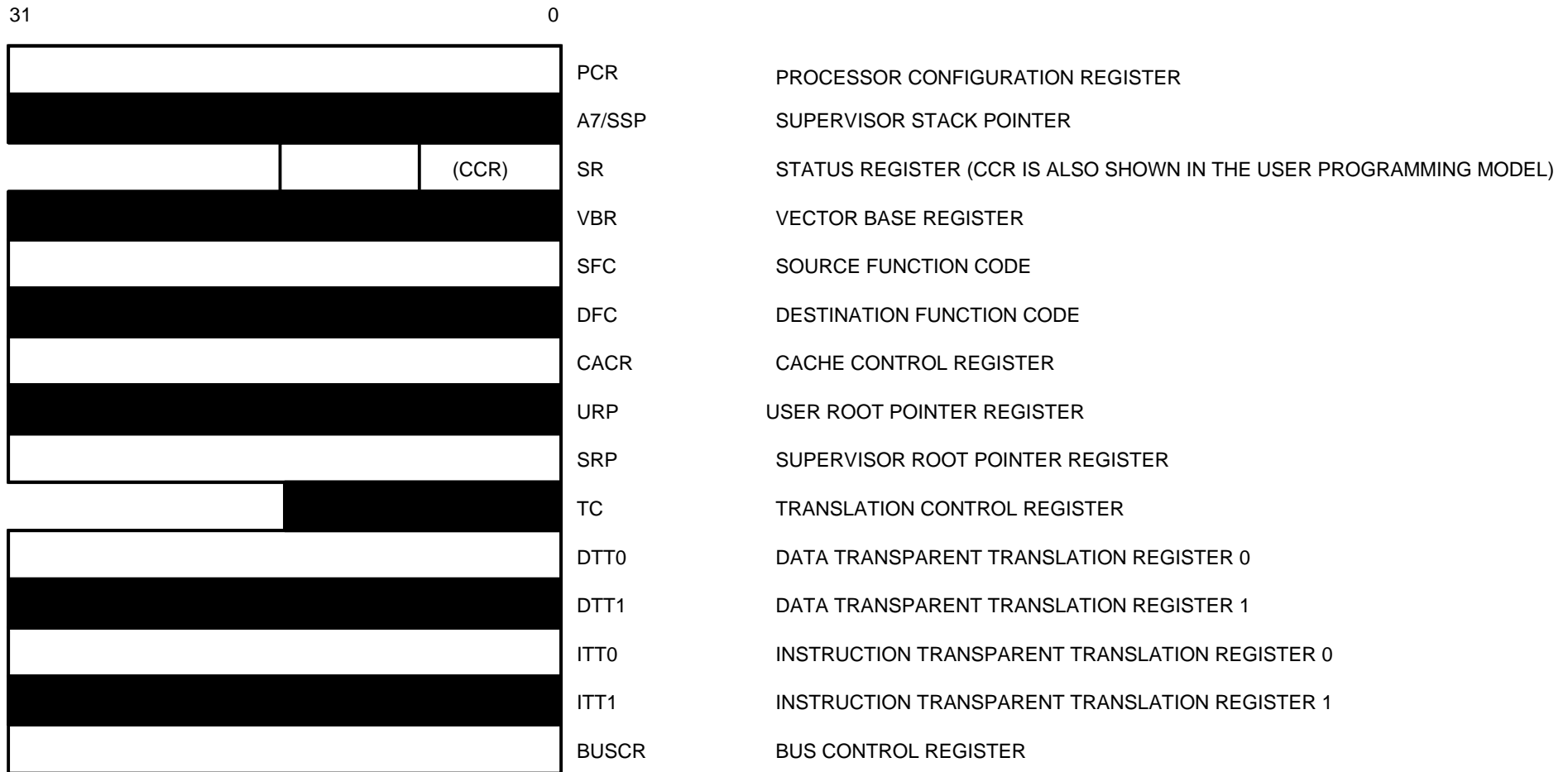


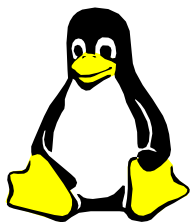
Uživatelský režim 68060





Systemový režim 68060





Obsluha výjimek procesoru 68060

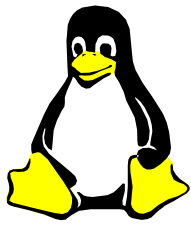


Vector Number(s)	Vector Offset (Hex)	Stack Frame Format	Stacked Program Counter*	Assignment
0	000	-	-	Reset Initial SSP
1	004	-	-	Reset Initial PC
2	008	4	-	Access Fault
3	00C	2	fault	Address Error
4	010	0	fault	Illegal Instruction
5	014	2	next	Integer Divide-by-Zero
6	018	2	next	CHK, CHK2 Instructions
7	01C	2	next	TRAPcc, TRAPV Instructions
8	020	0	fault	Privilege Violation
9	024	2	next	Trace
10	028	0	fault	Line 1010 Emulator (Unimplemented A-Line Opcode)
11	02C	0	fault	Line 1111 Emulator (Unimplemented F-Line Opcode)
11	02C	2	next	Floating-Point Unimplemented Instruction
11	02C	4	next	Floating-Point Disabled
12	030	0	next	Emulator Interrupt
13	034	0	-	Only 68020, 68030 - Coprocessor Protocol Violation
14	038	0	fault	Format Error
15	03C	0	next	Uninitialized Interrupt
16-23	040-05C	-	-	(Unassigned, Reserved)
24	060	0	next	Spurious Interrupt
25	064	0	next	Level 1 Interrupt Autovector
26	068	0	next	Level 2 Interrupt Autovector
27	06C	0	next	Level 3 Interrupt Autovector
28	070	0	next	Level 4 Interrupt Autovector
29	074	0	next	Level 5 Interrupt Autovector
30	078	0	next	Level 6 Interrupt Autovector
31	07C	0	next	Level 7 Interrupt Autovector
32-47	080-0BC	0	next	TRAP #0-15 Instruction Vectors
48-55	0C0-0DC	-	-	Floating-Point Exceptions [#]
56	0E0	-	-	Only 68030, 68851 - PMMU Configuration
57	0E4	-	-	Only 68851 - PMMU Illegal Operation
58	0E8	-	-	Only 68851 - PMMU Access Level Violation
59	0EC	-	-	(Unassigned, Reserved)
60	0F0	0	fault	Unimplemented Effective Address
61	0F4	0	fault	Unimplemented Integer Instruction
62-63	0F8-0FC	-	-	(Unassigned, Reserved)
64-255	100-3FC	0	next	User Defined Vectors (192)

*For the Access Fault exception PC and internal CPU state necessary to finish instruction is stored

"fault" refers to the PC of the instruction that caused the exception.

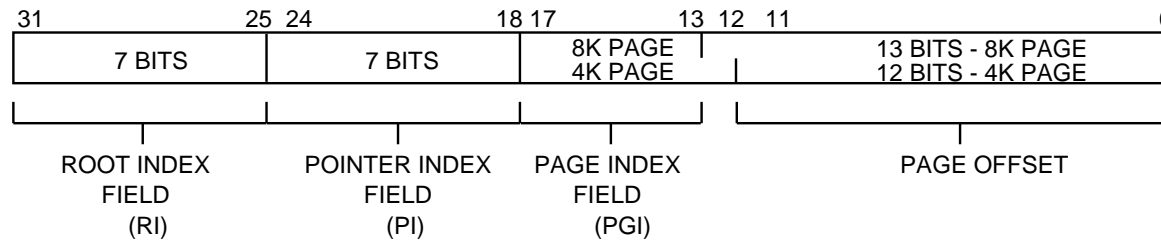
"next" refers to the PC of the next instruction that follows the instruction that caused the fault.



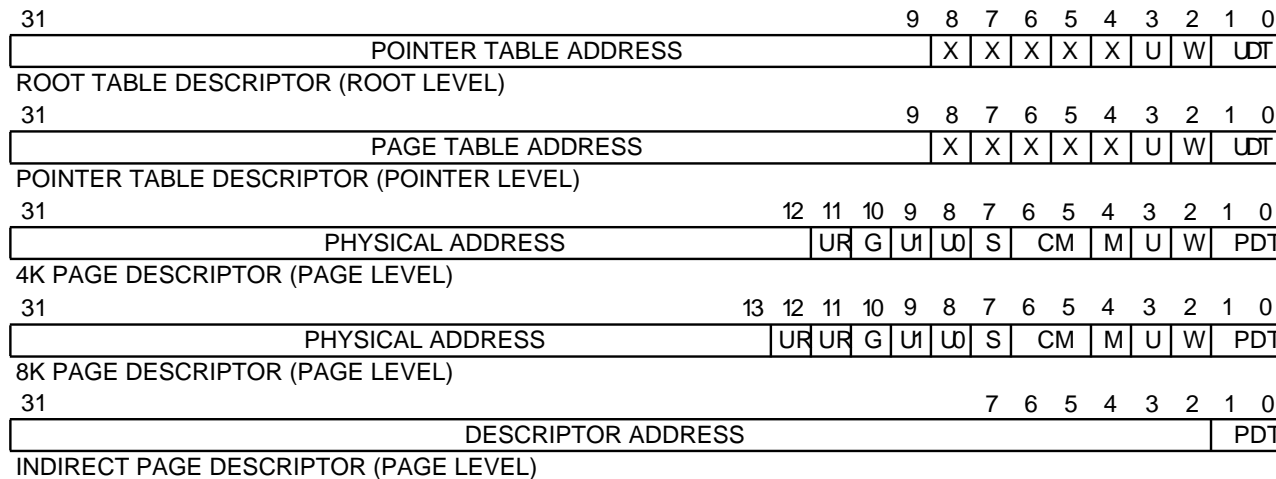
Stránkování 68060

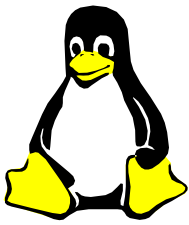


Formát virtuální adresy

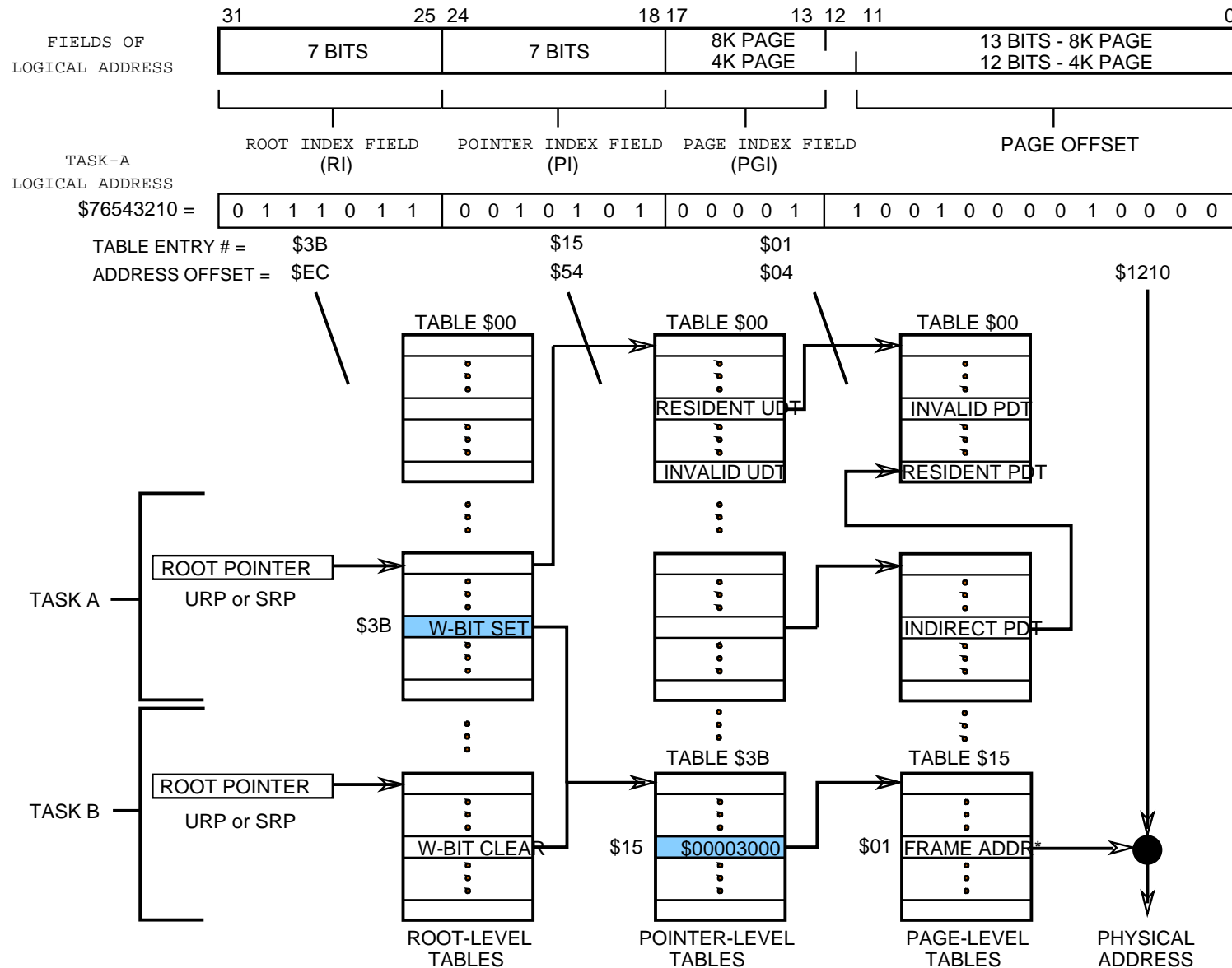


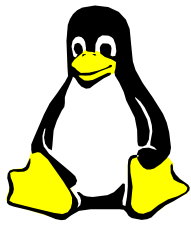
Deskriptory stránek



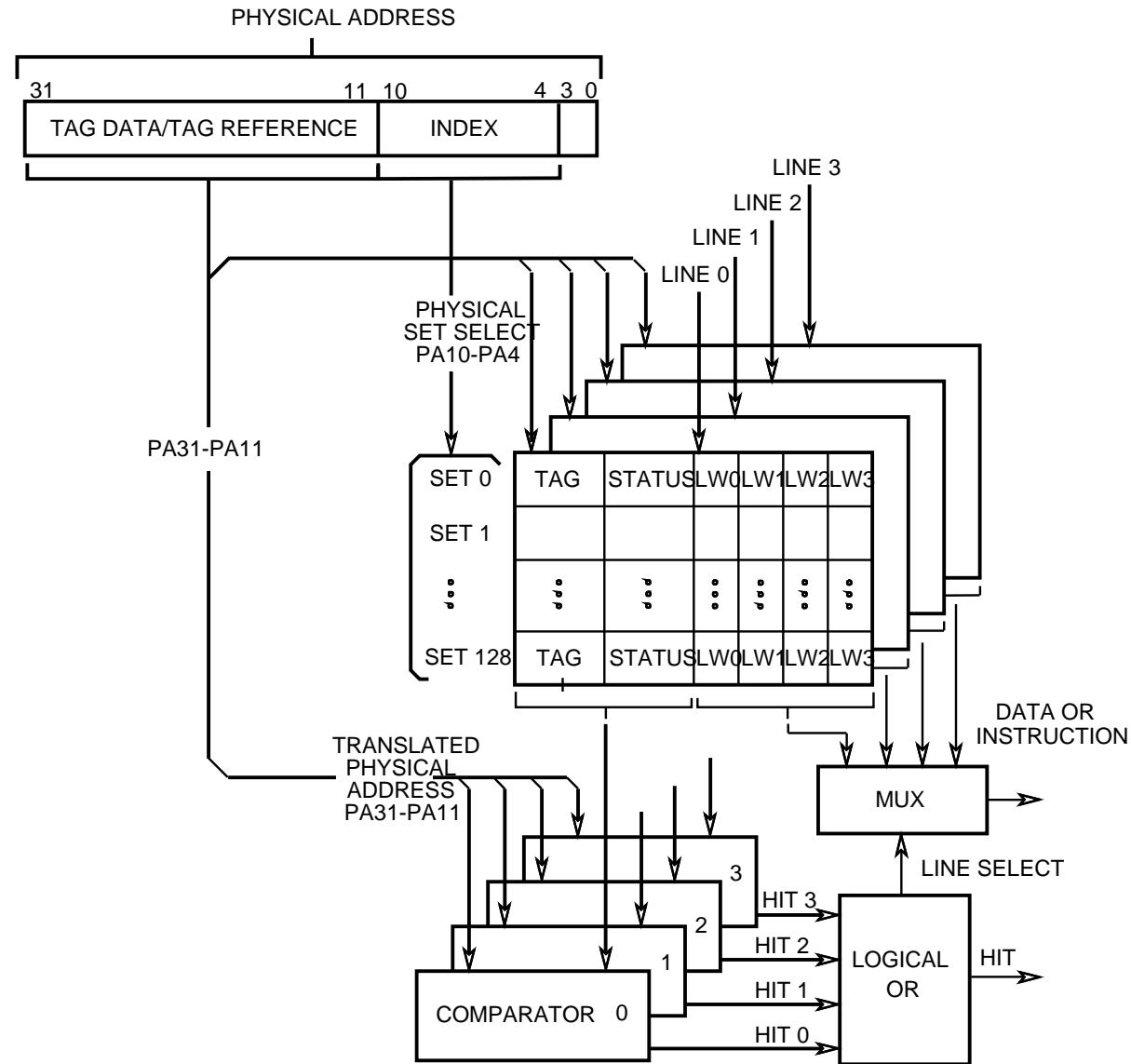


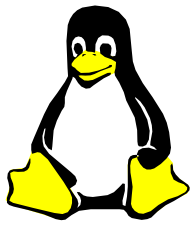
Princip stránkování



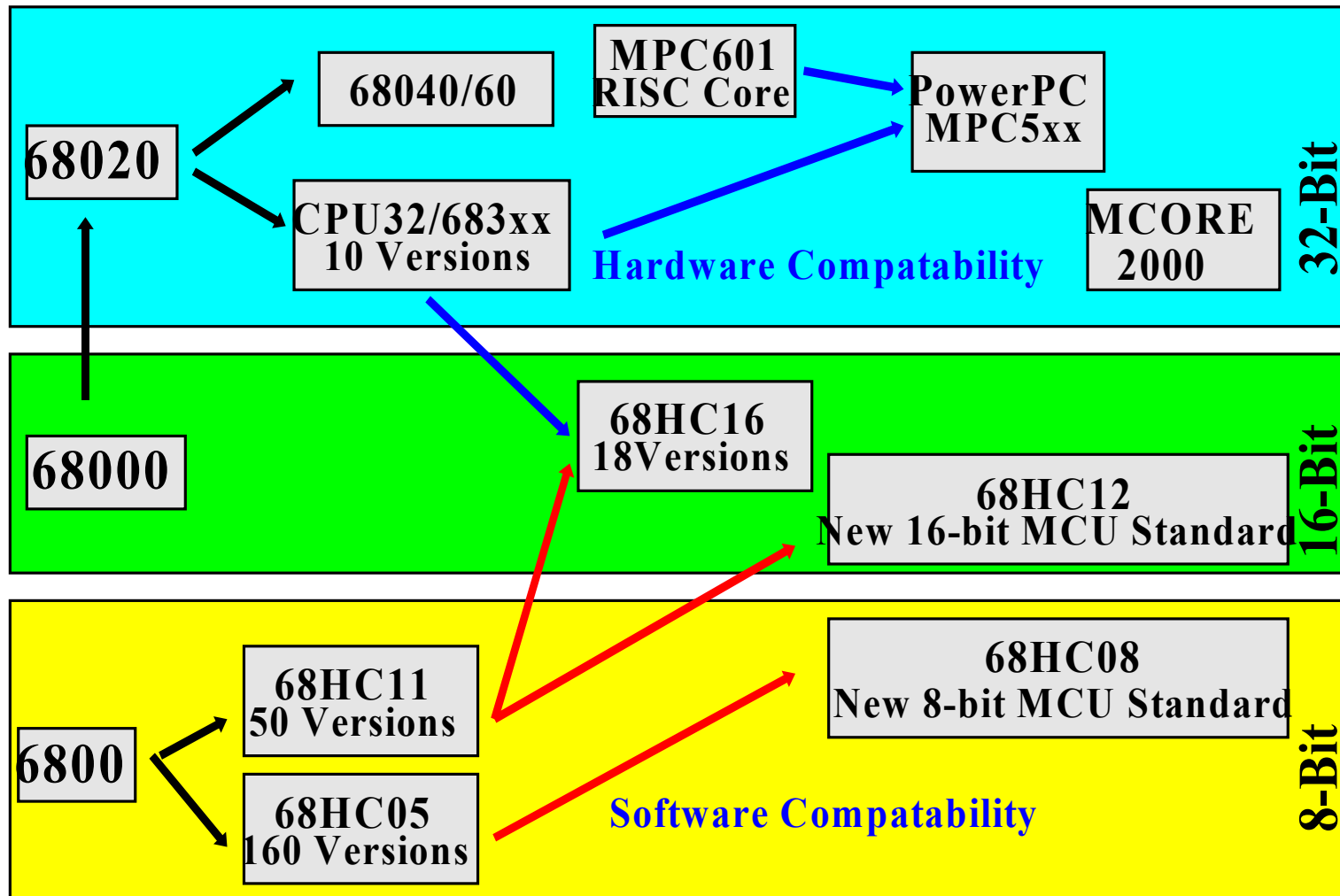


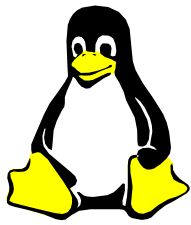
Princip paměti cache



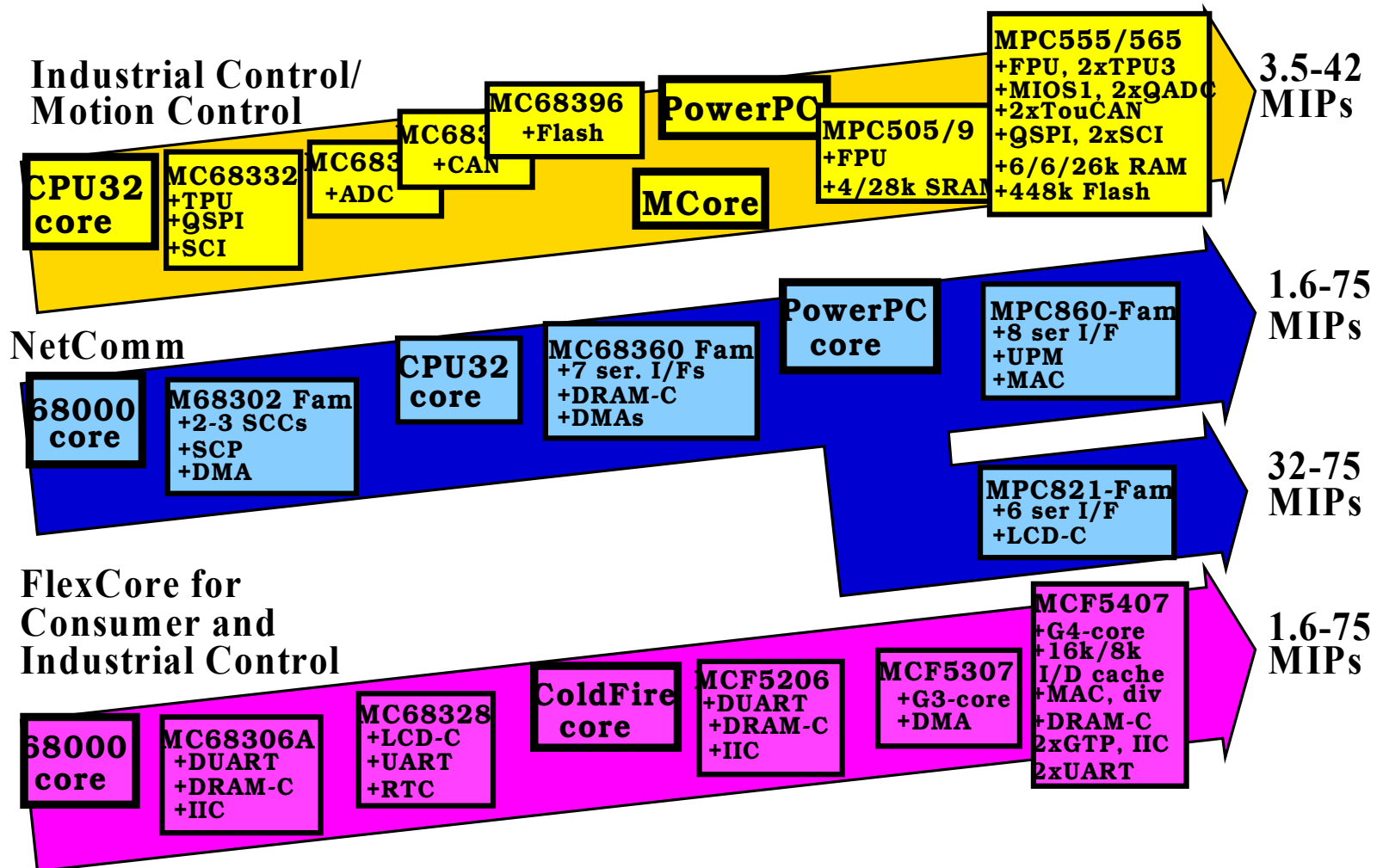


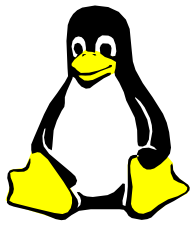
Přehled vývoje CPU a MCU firmy Motorola/FreeScale





Řady výkonných MCU a CPU pro embedded aplikace

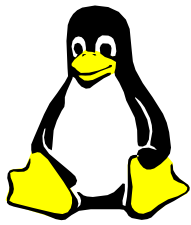




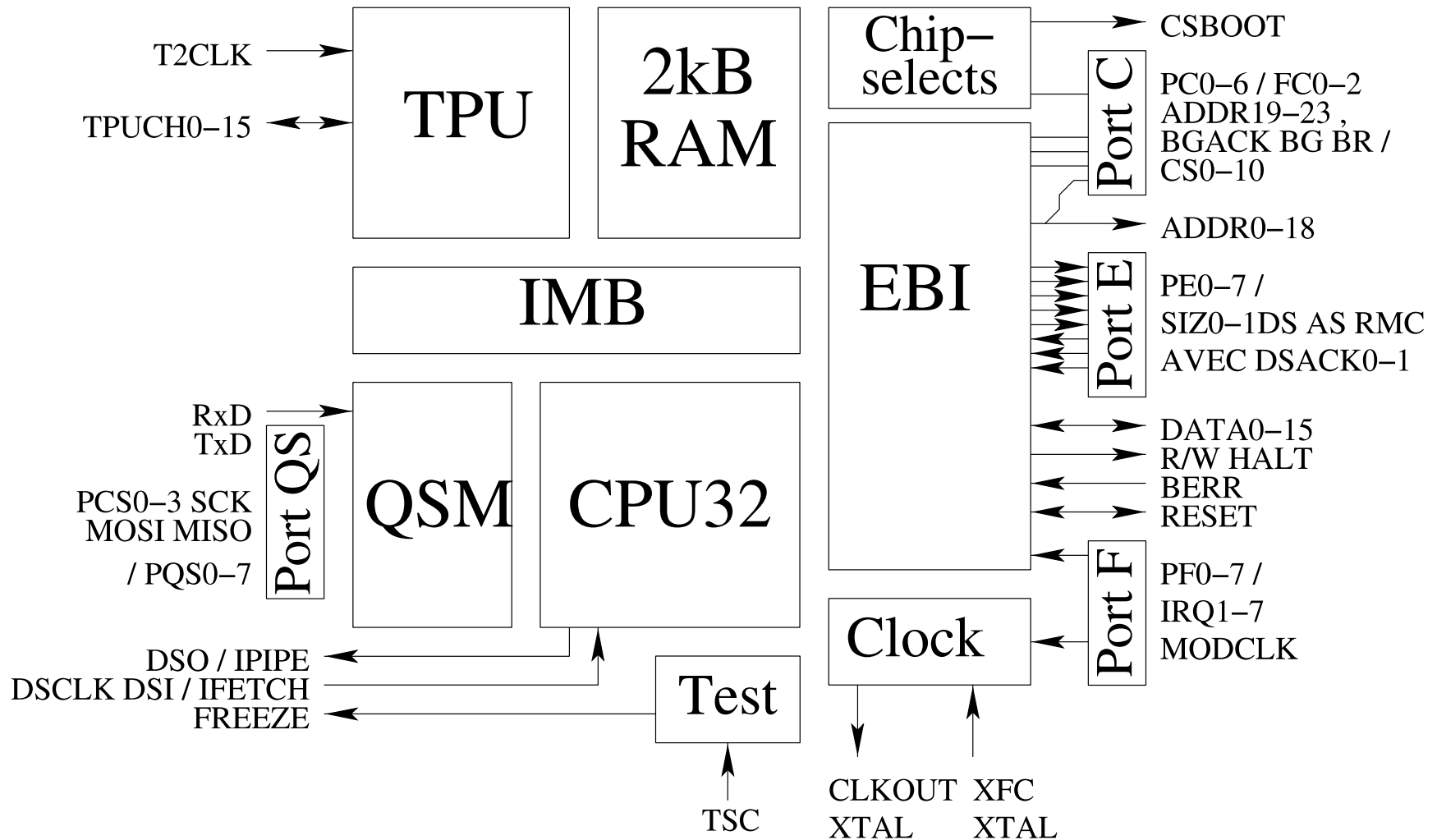
Procesory z rodziny 683xx/CPU32(+)

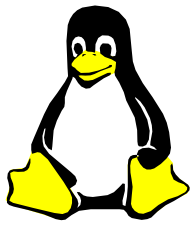


Feature	68332	68376	68360	68VZ328
Core CPU	CPU32	CPU32	CPU32+	FLX68000
Data Bus	8/16	8/16	8/16/32	8/16
Addr Bus	24	24	32	24/32MB DRAM
Misaligned Addr	-	-	Yes	
Development Int.	BDM	BDM	BDM/JTAG	ICE
TPU (timer)	Yes	Yes		
UART			2xSMC	2x
DRAM controller			Yes	EDO, FP, SD
Static Ram	2K	3.5K+4K	2.5K	
Flash EEPROM				
A/D Converter		8/10 bits		
Serial Ports	1xSCM	1xSCM	4xSCC	
SPI interface	1xQSM	1xQSM	1xSCP	2x
DMA			2 ch	
Timer		CTM4 (8)	4x16, 2x32	2x+2xPWM
Parallel Ports (bits)	up 4 (31)	up 6 (47)	3	10 (78)
Chip Selects X	12	12	8	8
More ...		TouCAN	opt. Ethernet	LCD, RTC
Clock speed Mhz	16/20/25	16/20/25	25/33	up 33
Power voltage	5V	5V	3.3 or 5V	2.7-3.3
Power (watts)	0.6	0.6	0.3-1.0	0.06-0.1
at frequency of	20	20.97	25	33



Mikrokontrolér 68332

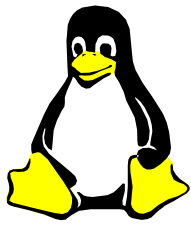




System Integration Module (SIM)



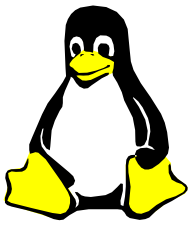
- Obstarává propojení vnitřní (mezimodulové) a externí sběrnice
- Obsahuje logiku programovatelných chipselectů
- Umožňuje ochranu systému
- Obsahuje kontrolní čítač watchdog, hlídání správné hodinové frekvence, monitor systémové sběrnice
- Systémové hodiny mohou být odvozeny od 32.768-kHz krystalu, výsledkem je pak nízká spotřeba
- Obsahuje testovací/ladící logiku pro výrobní a uživatelské testování a pro vývoj



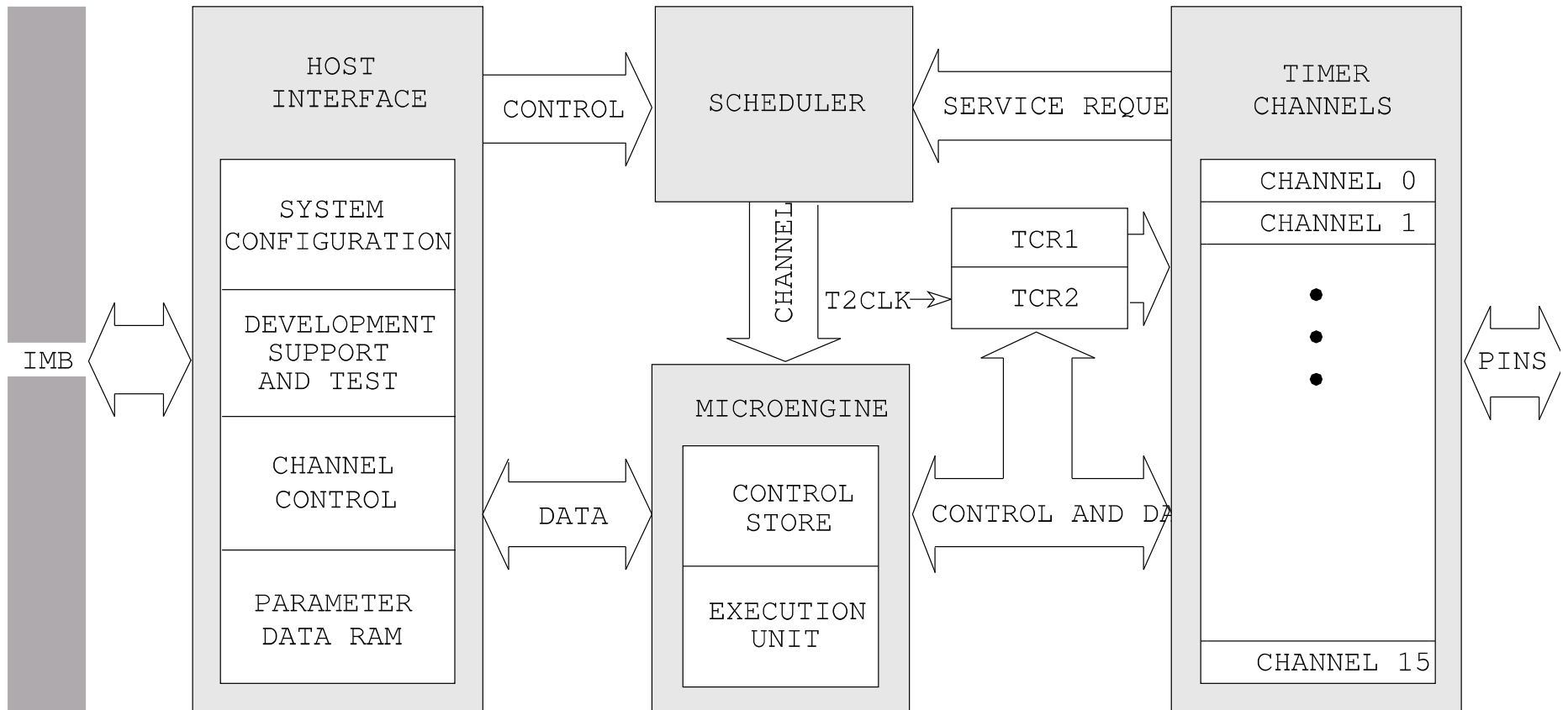
Central Processing Unit (CPU)

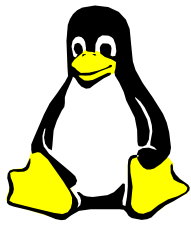


- 32-bitová architektura
- Kompatibilní s procesory MC68000 a MC68010
- Nové instrukce pro řídicí aplikace
- Virtuální paměť pouze s vnější MMU (Memory Management Unit) jednotkou
- Rychlé provádění cyklů obsahujících jednu instrukci
- Instrukce pro práci a interpolaci tabulek
- Vylepšené zpracování vyjímek pro řídicí aplikace
- Podporuje trasování do změny toku instrukcí (návrat, volání, ...)
- Vstup pro vnější signál hardwarového breakpointu a kompletní logiku pro ladění Background Debug Mode
- Plně statická činnost umožňuje snižování a i zastavení hodin procesoru



Time Processor Unit (TPU)

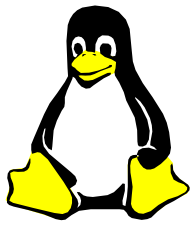




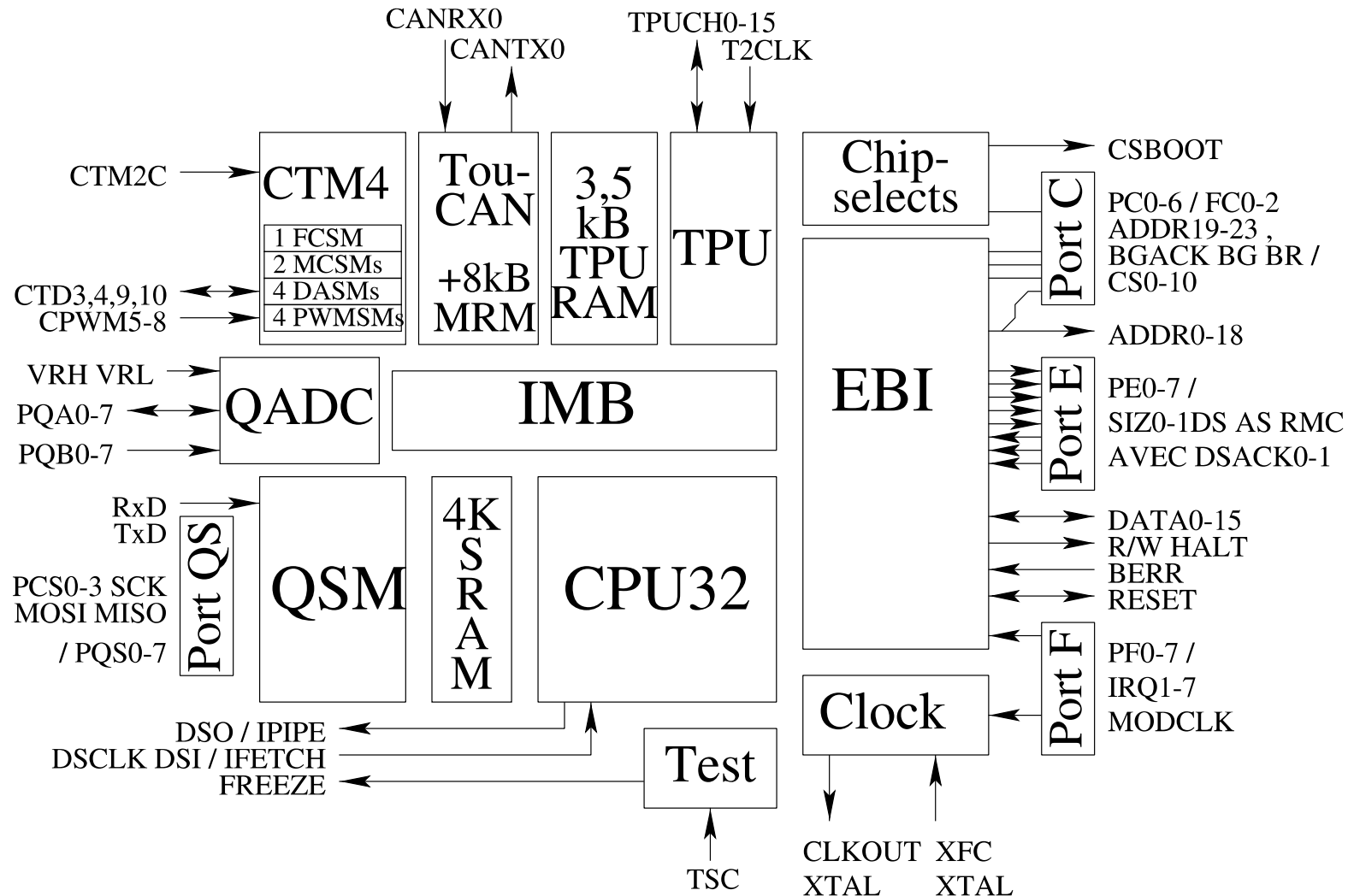
Time Processor Unit (TPU)

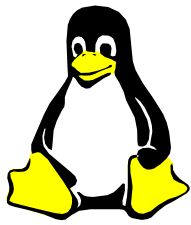


- Obsahuje vlastní řadič mikrokódu pracující nezávisle na CPU32
- 16 nezávislých, programovatelných kanálů a pinů
- Každý kanál může vykonávat libovolnou časovou funkci
- Více kanálů může být vzájemně synchronizováno nebo může vytvářet složitější funkci využívající více pinů
- Dva čítače času s programovatelnými předděličkami
- Volitelnou prioritu jednotlivých kanálů

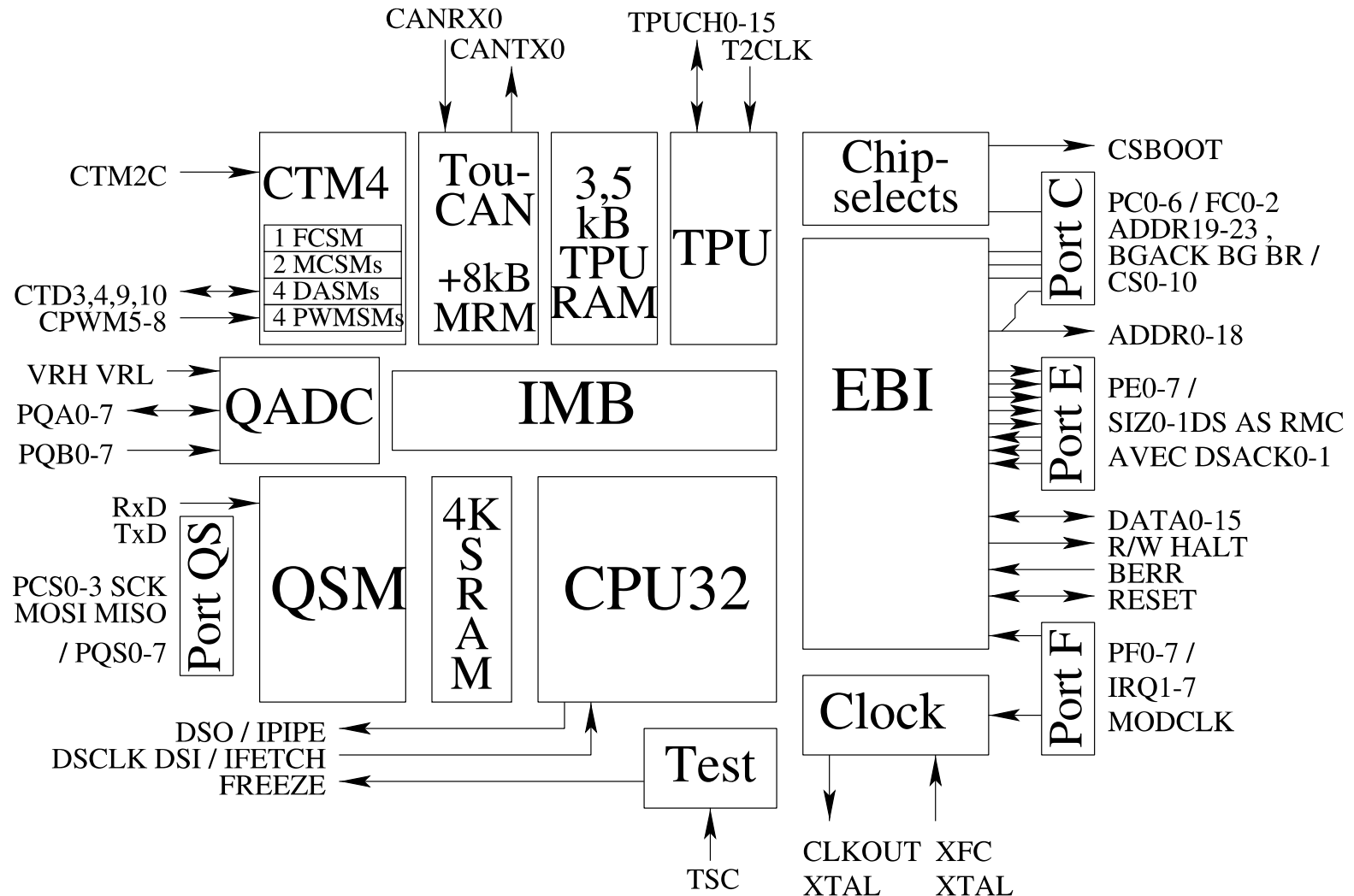


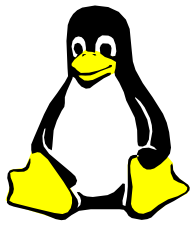
Mikrokontrolér 6868376





Mikrokontrolér 6868376





Dotazy



- ?