

Vývoj architektur mikroprocesorů Od 4 bitů k superskalárnímu RISC

Pavel Píša

<http://cmp.felk.cvut.cz/~pisa>

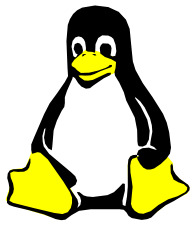
X35POS 2010

<http://dce.felk.cvut.cz/pos>

Využité podklady:

John Bayko, Great Microprocessors of the Past and Present

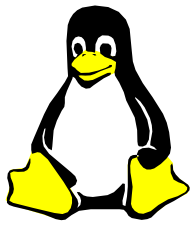
<http://www.sasktelwebsite.net/jbayko/cpu.html>



technologické porovnání



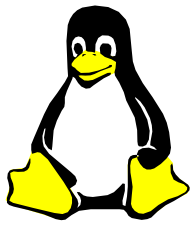
CPU	Výrobce	Rok	Tranzistorů	Techno	Reg/Bus	Data/prog+IO	Cache I/D+L2	Float	Frekv	MIPS	Cena
4004	Intel	1971	2,300	10um- 3x4mm	4bit	1kB/4kB			750kHz	0.06	\$200
8008	Intel	1972	3,500	10um	8bit	16kB				0.06	
8080	Intel	1974	6,000	6um	8bit	64kB+256			2MHz	0.64	\$150
MC6501	NMOS T.	1975									\$20
8085	Intel	1976	6,500	3um	8bit	64kB+256			5MHz	0.37	
Z-80	Zilog	1976			8bit	64kB+256			2.5MHz		
MC6502	NMOS T.	1976									\$25
8086	Intel	1978	29,000	3um	16/16bit	1MB+64kB			4.77MHz	0.33	\$360
8088	Intel	1979		3um	16/8bit	1MB+64kB			4.77MHz	0.33	
MC68000	Motorola	1979	68,000		16/32/16bit	16MB					
80286	Intel	1982	134,000	1.5um	16/16bit	16MB/1GBvirt	256B/0B		6MHz	0.9	\$380
MC68020	Motorola	1984	190,000		32/32bit	16MB	Ano		16MHz		
80386DX	Intel	1985	275,000	1.5um	32/32bit	4GB/64TBvirt			16MHz		\$299
MC68030	Motorola	1987	273,000			4GB+MMU	256B/256B				
80486	Intel	1989	1.2mil	1um	32/32bit	4GB/64TBvirt	8kB	Ano	25MHz	20	\$900
MC68040	Motorola	1989	1.2mil			4GB+MMU	4kB/4kB	Ano			
PowerPC 601	Mot+IBM	1992	2.8mil		32/64bit	2 ⁵⁶	32kB	Ano	66MHz		
PA-RISC	HP	1992							50MHz		
Pentium	Intel	1993	3.1mil	0.8um- BiCMOS	32/64bit	4GB+MMU		Ano	66MHz	112	
Alpha	DEC	1994	9.3mil		64bit	4GB/64TBvir	8/8+96kB		300MHz	1000	
MC68060	Motorola	1994	2.5mil			4GB+MMU	8kB/8kB	Ano	50MHz	100	\$308
Pentium Pro	Intel	1995	5.5mil					Ano	200/60MHz	440	\$1682
Pentium II	Intel	1998	7.5mil		32/64bit			Ano+MMX	400/100MHz	832	
PowerPC G4MPC7400	Motorola	1999		0.15um- cooper6LM CMOS	64/128bit	4GB/2 ⁵²	32kB/32kB+2MB	Ano+AV	450MHz	825	



Akumulátorové architektury



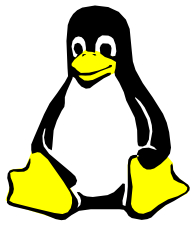
- registr+akumulátor → akumulátor
 - 4bit Intel 4004 (1971)
 - 8bit Intel8080 (1974) - adresace s využitím dvojic registrů



Rychlé paměti \Rightarrow málo registrů a více adresáčnických módů



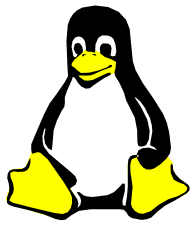
- Motorola 6800, NMOS T. 6502 (1975) - jen akumulátor, index, SP a PC. - využití nulté stránky
- Texas TMS990 pouze workspace pointer, PC, SP, registry v paměti, podobné u transputerů



Nedostatečná rychlost paměti \Rightarrow
výkonný komplexní instrukční soubor,
blízký C, CISC



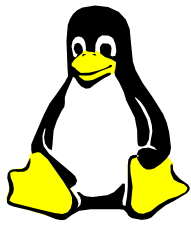
- Motorola 68000 (1979) - 16/32bit,
operace registr+=registr,
paměť+=registr, registr+=paměť,
paměť+=paměť, nutnost mikrokódu
- Z-8000 16bit, Z-80000 32bit (1986) CISC,
6 fází zpracování, bez mikrokódu, 18000
tranzistorů



Nízká průchodnost dat a načítání instrukcí \Rightarrow cache paměti



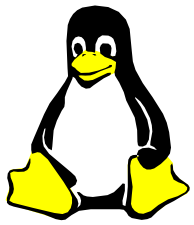
- Celkem dobře řešitelný problém
- Společná cache nebo harvardská I & D
- Další úrovně
- Komplikuje se však koherence dat při přístupu přes DMA a pro SMP
 - speciální instrukce např. `eieio` (PowerPC), `mcr p15, ...` (ARM)
 - hardwarová podpora
 - protocol MSI , MESI (Pentium), MOSI
 - MOESI AMD64 (Modified, Owned, Exclusive, Shared, and Invalid)



Další eliminace přístupů do paměti ⇒
registrová okna, return registr



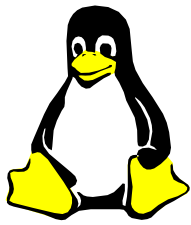
- SPARC - 8 globálních registrů, 8 z předchozího okna (parametry), 16 z aktuálního okna, více jak 100 registrů pro posuny okna. 8 registrů z aktuálního slouží k předání parametrů volané funkci
- PowerPC - zrychlení volání leaf-node funkcí s využitím specializovaného registru (link registr) pro návratovou hodnotu čítače instrukcí



Vícefázové zpracování bez mikrokódu, stále potíže se skoky



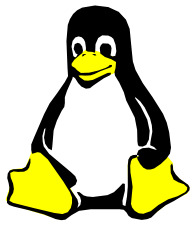
- Včasné dekodování skoků
- Využití delay slotů MIPS, DSP
- Statická a dynamická predikce skoků, cache cílů skoků, spekulativní provádění instrukcí



Zrychlení výkonu instrukcí \Rightarrow architektury RISC



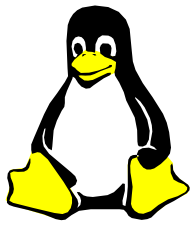
- Menší vzájemná závislost, spekulativní provádění instrukcí, přejmenovávání registrů, eliminace závislosti na příznacích DEC Alpha, operace pouze $\text{registr} + = \text{registr}$ nebo $\text{registr} = \text{registr} + \text{registr}$ a load-store instrukce.
- Pevná délka instrukčního kódu \Rightarrow dlouhé programy, ale velmi rychlé dekódování instrukcí



Snaha opět zkrátit instrukce \Rightarrow aliasy,
proměnná délka u RISC, VLIW



- ARM, 16bit aliasy nejčastějších 32bit instrukcí (režim Thumb)
- M-Core, 32bit CPU s 16bit instrukcemi
- ColdFire - RISC implementace na bázi 68000, 16, 32, 48bit instrukce



Závěr



- Nezbývá než všechny výše uvedené techniky kombinovat a optimalizovat podle použití