

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
 FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ
 ÚSTAV AUTOMATIZACE A MĚŘICÍ TECHNIKY
 Kolejní 2906/4, 612 00 Brno
 tel.: 54114 1154, tel.: 54114 1160, fax: 54114 1123
 E-mail: uamt@feec.vutbr.cz, http://www.feec.vutbr.cz

Oponentský posudek disertační práce

Název: ***Implementation Methods of LD-RLS with Directional Forgetting for Embedded Systems on a Chip***
 Autor: ***Ing. Roman Bartosiński***
 Školitel: ***Ing. Jiří Kadlec, CSc.***
 Oponent: ***Doc. Ing. Pavel Václavek, Ph.D.***
*Ústav automatizace a měřicí techniky
 Fakulta elektrotechniky a komunikačních technologií
 Vysoké učení technické v Brně
 Kolejní 4, 612 00 Brno
 Tel 541 141 160 e-mail vaclavek@feec.vutbr.cz*

Oponovaná disertační práce se zabývá problematikou implementace algoritmů pro on-line identifikaci parametrů systémů. Získání co nepřesnějšího popisu řízeného systému je základem pro použití moderních algoritmů řízení, které se ve stále větší míře prosazují do praktických aplikací. Z tohoto pohledu považuji téma práce za aktuální a přínosné jak pro teorii, tak i praxi.

Pomineme-li členění práce na kapitoly, lze v ní spatřovat tři logické celky. První část se věnuje popisu algoritmů založených na metodě nejmenších čtverců a různých možnostech implementace zapomínání. Jsou rovněž diskutovány některé možnosti praktického použití uváděných algoritmů. I když je tato část v podstatě přehledem metod převzatých z literárních zdrojů, je uvedeno jejich zajímavé srovnání, které je patrně vlastním výsledkem doktoranda. Toto srovnání je užitečné zejména z toho důvodu, že se snaží zajistit rovné postavení jednotlivých metod při srovnání. I když je tento výsledek autorem práce chápán patrně jen jako vedlejší, považuji jej za jeden z hlavních přínosů práce.

Druhá část se věnuje implementaci dříve uvedených algoritmů v embedded systémech. Jako první je diskutována možnost implementace algoritmů pomocí systolických polí na FPGA. Tato varianta však zřejmě nebyla dovedena až ke konečnému řešení a není tedy ani zcela zřejmé, proč je jí vlastně v disertační práci věnována pozornost. Doktorand by měl během obhajoby objasnit, proč varianta implementace pomocí systolických polí končí v disertační práci poměrně neurčitě. Bylo důvodem pro další nerozvíjení tohoto směru časové hledisko, nebo se ukázalo, že řešení není technicky možné, nebo byl nějaký jiný důvod? Dále je popisována implementace dříve popsanych algoritmů na platformě UTIA DSP. Ačkoliv se bez pochyb jedná o náročnou vývojovou práci, jejímž výsledkem je úctyhodné inženýrské dílo, chybí poněkud zobecňující pohled na řešenou problematiku, přičemž disertační práce pak spíše připomíná rozsáhlou technickou zprávu popisující konkrétní

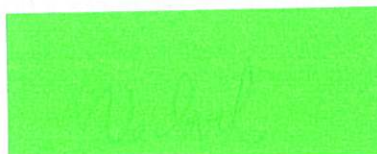
technické řešení. Není pochyb, že předložené řešení je přínosné pro pracoviště, na kterém byla práce realizována, je však otázkou, zda výsledky orientované na běžně neužívanou výpočetní platformu mají významnější dopad pro použití širší vědeckou komunitou. Bylo by proto během obhajoby vhodné, aby se doktorand pokusil objasnit, jak jsou výsledky jeho práce využitelné vědeckou komunitou, případně zda spatřuje jejich potenciál pro využití na průmyslově užívaných hardwarových prostředcích.

Poslední část práce se věnuje ověření implementovaných algoritmů. Dosažené výsledky ukazují, že navržené řešení je funkční.

Předložená disertační práce dokumentuje, že cílů stanovených pro dané téma bylo dosaženo. Práce obsahuje i jádro, které je výsledkem vlastní činnosti doktoranda. Po stránce obsahové i formální práce splňuje požadavky na disertační práci.

Závěrem konstatuji, že předložená disertační práce svědčí o schopnostech studenta řešit komplikované úlohy v oblasti výzkumu a vývoje a přenášet dosažené výsledky k praktickému využití. Disertační práci proto **doporučuji k obhajobě**.

V Brně 1. listopadu 2010



Doc. Ing. Pavel Václavek, Ph.D.