

Posudek vedoucího diplomové práce

Název práce: FPGA-based support for predictable execution model in multi-core CPU

Jméno autora: Maxim Baryshnikov

Vedoucí práce: Ing. Michal Sojka, Ph.D.

ČVUT CIIRC, oddělení průmyslové informatiky

Téma diplomové práce pana Baryshnikova se pojí k evropskému projektu HERCULES, který je řešen na našem pracovišti. V projektu vyvíjíme mechanismy a algoritmy pro zlepšení determinismu doby běhu kódu na moderních vícejádrových vestavných počítačích pro spolehlivé aplikace typu samořiditelná auta. Těžiště projektu jsou softwarová řešení implementovaná v hypervizoru, ale ukázalo se, že tato řešení mají relativně velké režijní náklady a proto dostal pan Baryshnikov za úkol prozkoumat alternativní cestu – řešení s využitím programovatelné logiky (FPGA) integrované v některých hardwarových platformách.

Zadání diplomové práce řadím ke složitějším, zejména kvůli tomu, že se jednalo o práci s novým a velmi složitým obvodem (Xilinx Zynq Ultrascale) a že s programovatelnými obvody FPGA máme v naší skupině omezené zkušenosti. Student musel k vyřešení úlohy nastudovat velké množství dokumentace (mnohé potřebné manuály mají přes tisíc stránek), zorientovat se v ní a propojovat informace z různých dokumentů. Získané informace pak ověřoval na reálném hardwaru pomocí experimentů. Několikrát se bohužel stalo, že jsme se vydali „slepu cestou“ a tak spousta vykonané práce přišla vniveč. Výsledná implementace je sice poměrně jednoduchá a zdaleka se nejedná o finální řešení, ale je to první částečně funkční prototyp, který demonstruje, že má smysl uvažovat o řešení dané problematiky pomocí programovatelného hardwaru. Mohu konstatovat, že se jedná o dobrý základ pro budoucí vývoj.

Se studentem se mi pracovalo velmi dobře. Na řešení pracoval rovnoměrně během celého roku a postup jsme pravidelně konzultovali. Student pracoval samostatně a aktivně přicházel s nápady a implementacemi různých dílčích kroků. Docela se divím, že diplomanta neznechutila dlouhá studijní fáze a vydržel pracovat s velkým nasazením i když se dlouho nedařilo zprovoznit i zdánlivě jednoduchou funkcionalitu. To se bohužel podepsalo na přípravě textu diplomové práce. Byl psán narychlo a je to na něm vidět. Jsem ale rád, že text vůbec vznikl a podařilo se v něm zachytit spousta cenných informací.

Osobně jsem s výsledkem spokojen a za pracovní nasazení bych byl ochoten hodnotit práci nejlépe jak je možné, ale jsem si vědom toho, že výsledný dokument má jisté rezervy a takové hodnocení by nebylo spravedlivé vůči jiným studentům. Práci tedy hodnotím stupněm B – **velmi dobře**.

V Praze dne 15. června 2018

Ing. Michal Sojka, Ph.D.

Posudek oponenta diplomové práce

Jméno studenta: **Maxim Baryshnikov**
Téma práce: FPGA-based support for predictable execution model in multi-core CPU
Vedoucí práce: Ing. Michal Sojka, Ph.D.
Oponent: **Ing. Jan Chudoba, ČVUT v Praze, CIIRC**

Cílem předložené práce je návrh a implementace mechanismu *Predictable Execution Model* na dodané platformě FPGA *Xilinx Ultrascale* a její porovnání se softwarovou implementací.

Předložená práce je psaná v anglickém jazyce. Text práce je dobře strukturovaný a srozumitelný, úroveň anglického jazyka je také na velmi dobré úrovni. Vzhled práce trochu kazí několik typografických prohřešků (např. přetékaní textu nebo obrázků mimo meze textu), jejich vliv na celkovou kvalitu práce však nepovažuji za zásadní. Práce s citovanými zdroji je korektní a odpovídá požadavkům.

Z práce je patrné, že student dobře prostudoval architekturu a možnosti hardwarové platformy, kterou měl k dispozici, na základě čehož navrhl a implementoval metodu podle zadání práce. Postup a způsob řešení považuji za korektní. V závěru práce jsou uvedeny výsledky experimentů, v nichž je vyhodnocena chybovost implementované metody a časová režie jejího použití. Naměřené výsledky jsou souhrnně vyhodnoceny a srovnány s referenčním řešením. Výsledkem práce je úspěšné ověření možnosti implementovat *Predictable Execution Model* na hardwarové úrovni a zlepšení časové náročnosti oproti původnímu softwarovému řešení.

Konstatuji, že všechny body zadání práce byly splněny. K práci nemám žádné závažné výhrady, proto ji navrhuji hodnotit stupněm **A – výborně**.

V Praze 7.6.2018

Jan Chudoba
oponent práce

Otázky k obhajobě:

- V grafu na obrázku 5.1 uvádíte frekvence chyb. Jedná se opravdu o frekvence, nebo pouze o celkový počet chyb v jednom „Working set“-u?
- V závěru práce uvádíte, že vámi implementované HW řešení je v průměru 2.88-krát rychlejší než SW řešení. Odpovídá toto zrychlení předpokladům před začátkem práce?