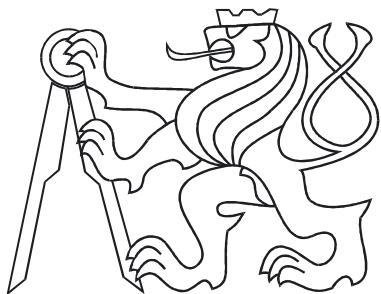


ČESKÉ VYSOKÉ UČENÍ TECHNICKÉ V PRAZE  
FAKULTA ELEKTROTECHNICKÁ  
KATEDRA ŘÍDICÍ TECHNIKY



DIPLOMOVÁ PRÁCE

Systém pro podporu řízení  
piezoelektrických motorů

Milan Anderle

2008

České vysoké učení technické v Praze

Fakulta elektrotechnická

Katedra řídicí techniky

## ZADÁNÍ DIPLOMOVÉ PRÁCE

Student: **Bc. Milan Anderle**

Studijní program: Elektrotechnika a informatika (magisterský), strukturovaný

Obor: Kybernetika a měření, blok KM1 - Řídicí technika

Název tématu: **Systém pro podporu řízení piezoelektrických motorů**

Pokyny pro vypracování:

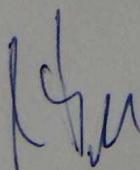
1. Identifikujte klíčové problémy číslicového řízení piezoelektrických motorů.
2. Navrhněte systém pro podporu procesorové řídicí jednotky těchto motorů.
3. Otestujte navržený systém na dodaném zařízení.

Seznam odborné literatury:

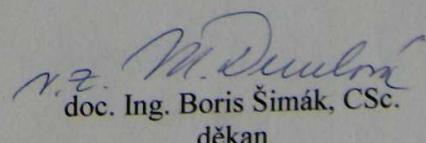
Dodá vedoucí práce

Vedoucí: Ing. Ondřej Holub

Platnost zadání: do konce zimního semestru 2008/2009



prof. Ing. Michael Šebek, DrSc.  
vedoucí katedry



doc. Ing. Boris Šimák, CSc.  
děkan

V Praze dne 10. 9. 2007

## **Prohlášení**

Prohlašuji, že jsem svou diplomovou práci vypracoval samostatně a použil jsem pouze podklady (literaturu, projekty, SW atd.) uvedené v přiloženém seznamu.

V Praze dne ..... 30.5.2008 .....

*Anderle* .....  
podpis

## **Poděkování**

Děkuji Ondřeji Holubovi za vedení diplomové práce a za cenné rady a připomínky.  
Dále děkuji Petru Augustovi za pomoc při sazbě tohoto textu.

## **Abstrakt**

Cílem diplomové práce bylo navrhnout a realizovat procesorový systém pro buzení a vyhodnocení 2-D kapacitního senzoru polohy. Základními obvody procesorového systému jsou mikroprocesor, hradlové pole a A/D a D/A převodníky. Hlavní náplní práce byly návrh a implementace komunikace mezi mikroprocesorem a A/D a D/A převodníky pomocí hradlových polí. Komunikace byla nejprve uskutečňována a testována pomocí CPLD obvodu, následně však bylo CPLD nahrazeno FPGA, které umožňuje nejen práci se dvěma kapacitními senzory současně, ale také filtraci změřených dat. Činnost FPGA byla otestována na dodaném kapacitním senzoru.

## **Abstract**

Objective of this diploma thesis was to design and realise a processor system for excitation and measuring of 2-D capacitive position sensor. The key blocks of the measuring circuit are microprocessor, gate array, and A/D and D/A convertors. The main task of my work was to design and implement a communication between microprocessor and A/D and D/A convertors with gate array. At first the communication has been built and tested with CPLD. As a next step, than CPLD has been replaced by FPGA, which enables not only to work with two capacitive position sensors simultaneously, but also to filtering the data acquired from the sensor. Function of the setup with FPGA has been tested on supplied capacitive position sensor.



# Obsah

<b>1</b>	<b>Úvod</b>	<b>1</b>
<b>2</b>	<b>Analogové rozhraní ke kapacitnímu senzoru</b>	<b>3</b>
2.1	Kapacitní senzory . . . . .	3
2.2	Analogová část měřicího obvodu . . . . .	5
2.2.1	A/D převodník . . . . .	5
2.2.2	D/A převodník . . . . .	7
<b>3</b>	<b>Popis měřicího obvodu s mikroprocesorem</b>	<b>9</b>
<b>4</b>	<b>Popis měřicího obvodu s mikroprocesorem a CPLD</b>	<b>11</b>
4.1	Řešení komunikace pomocí hradlového pole . . . . .	11
4.1.1	Generování dat pro D/A převodníky . . . . .	12
4.1.2	Předzpracování dat z A/D převodníku . . . . .	13
4.2	Otestování hradlového pole . . . . .	13
4.3	Podrobný popis činnosti hradlového pole . . . . .	15
4.3.1	Popis komunikace a ovládání A/D a D/A převodníků . . . . .	16
4.3.2	Komunikace s mikroprocesorem, obousměrný přenos dat . . . . .	21
4.3.3	Blok pro komunikaci s A/D převodníkem . . . . .	21
4.4	Řešení s CPLD XC95288XL . . . . .	22
<b>5</b>	<b>Popis měřicího obvodu s mikroprocesorem a FPGA</b>	<b>27</b>
5.1	Řešení s FPGA XC2S50 . . . . .	27
<b>6</b>	<b>Otestování měřicího obvodu</b>	<b>31</b>
<b>7</b>	<b>Závěr</b>	<b>34</b>
	<b>Literatura</b>	<b>36</b>
<b>A</b>	<b>Vývojové diagramy</b>	<b>38</b>



# Seznam obrázků

1.1	Prototyp stolku s krovovými piezoelektrickými motory . . . . .	1
2.1	Uspořádání kapacitního senzoru s proměnnou plochou překrytí . . . . .	4
2.2	Uspořádání kapacitního senzoru. . . . .	5
2.3	Schéma zapojení A/D převodníku . . . . .	6
2.4	Schéma zapojení D/A převodníku . . . . .	8
3.1	Blokové schéma celého zapojení. . . . .	10
4.1	Odhylky středních hodnot. . . . .	14
4.2	Ukázka dat z A/D převodníku. . . . .	15
4.3	16 – bit DA převodník DAC8871 . . . . .	16
4.4	16 – bit dvoukanálový DA převodník AD5545 . . . . .	17
4.5	18 – bit AD převodníkem AD7982 . . . . .	17
4.6	Ukázka zápisu stavového automatu ve VHDL pro možnost uvedení stavového automatu do výchozího stavu. . . . .	18
4.7	Ukázka zápisu stavového automatu ve VHDL pro ovládání výstupů a přechody mezi stavý . . . . .	19
4.8	Komunikace s A/D a D/A převodníky. . . . .	20
4.9	Změny datových a hodinových signálu. . . . .	21
4.10	Ukázka posuvného registru pro vycítání dat ve VHDL . . . . .	22
4.11	Ukázka posuvného registru pro posílání dat ve VHDL . . . . .	23
4.12	Vyvinutá deska s CPLD a mikroprocesorem. . . . .	23
4.13	Skutečné průběhy SPI komunikace s A/D převodníkem . . . . .	24
4.14	Skutečné průběhy SPI komunikace s D/A převodníkem . . . . .	24
4.15	Obdélníkový signál, měření ve směru osy X . . . . .	25
4.16	Obdélníkový signál, měření ve směru osy Y . . . . .	26
5.1	Vyvinutá deska s FPGA a mikroprocesorem. . . . .	28
5.2	Zapojení pouze FPGA do JTAG řetězce. . . . .	29
5.3	Zapojení EEPROM a FPGA do JTAG řetězce. . . . .	29
5.4	Filtrování měřených dat klouzavým filtrem 4. rádu. . . . .	30

6.1	Polohovaci stolek pro mikroposuvy. . . . .	32
6.2	Ukázka četnosti dat z A/D převodníku. . . . .	32
6.3	Linearita měření posuvu. . . . .	33
A.1	Vývojový diagram popisující komunikaci mezi hradlovým polem a mikroprocesorem. . . . .	39
A.2	Vývojový diagram pro ovládání řídicích a SPI signálů. . . . .	40
B.1	Schéma zapojení destičky s A/D převodníkem. . . . .	42
B.2	Schéma zapojení destičky s D/A převodníkem. . . . .	43
B.3	Schéma zapojení destičky s FPGA a mikroprocesorem. . . . .	44

# Seznam tabulek

2.1	Velikost vstupního napětí a digitální výstup . . . . .	7
2.2	Výběr registrů pro zápis dat. . . . .	7
4.1	Data posílaná do D/A převodníků, pro měření ve směru osy $Y$ v první části periody . . . . .	12
4.2	Data posílaná do D/A převodníků, pro měření ve směru osy $Y$ v druhé části periody . . . . .	12
4.3	Data posílaná do D/A převodníků, pro měření ve směru osy $X$ v první části periody . . . . .	12
4.4	Data posílaná do D/A převodníků, pro měření ve směru osy $X$ v druhé části periody . . . . .	13

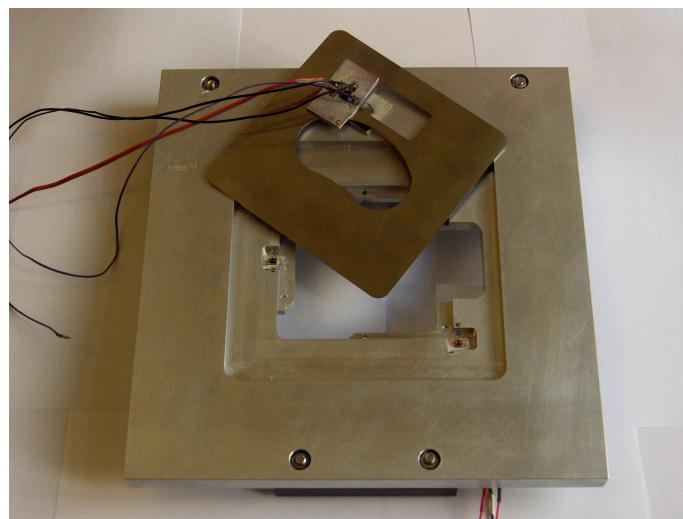


# Kapitola 1

## Úvod

V rámci řešení výzkumného projektu Golem [14] se na pracovišti, kde byla tato práce zadána, používá krokových piezoelektrických motorů k ovládání xy stolku mikroskopu. Prototyp takového stolku zachycuje obr. 1.1. Motory, založené na tzv. stick-slip efektu, jsou schopny velmi jemných kroků v rádu stovek nm při rychlosti pohybu až 10 mm/s. Existuje celá řada prací, které se zabývají různě komplikovanými způsoby, jak tyto polohové systémy řídit ve zpětné vazbě, např. [1], nebo [3]. Bylo ovšem ukázáno, že pro většinu aplikací postačí klasický PID regulátor s kompenzací suchého tření [5].

Klíčovým problémem je naopak získání informace pro uzavření zpětné vazby, tj. měření polohy. Řídicí frekvence piezomotoru, která udává dobu mezi dvěma



Obrázek 1.1. Prototyp stolku s krokovými piezoelektrickými motory

kroky, bývá v řádu jednotek kHz. Aby nedošlo ke znehodnocení předností piezomotoru, je potřeba měřit polohu s rychlostí alespoň stovek vzorků za sekundu a šumem řádově 1 mikrometr nebo lepší. Rozsah pohybu xy stolku je 15 mm v každé ose. Kvůli zabudování do stávajícího komerčního mikroskopu nemá xy stolek vedení. Za těchto podmínek lze k měření použít interferometr, kameru s extrémně rychlým vyhodnocením nebo kapacitní senzor. Na našem pracovišti se z finančních důvodů používá kapacitní senzor polohy.

Na pokyn vedoucího práce jsem se věnoval výhradně návrhu a testování procesorového systému pro buzení a vyhodnocení kapacitního senzoru polohy. S kolegou, Jiřím Richtrem, jsme navrhli, realizovali a testovali celkem tři varianty tohoto systému. Každé variantě je věnována samostatná kapitola diplomové práce. Předchází jim kapitola, která stručně popisuje kapacitní senzor a jeho analogové rozhraní a princip amplitudové modulace senzoru s využitím hradlového pole. V kapitolách se zaměřuji hlavně na tu část práce, kterou jsem dělal.

# Kapitola 2

## Analogové rozhraní ke kapacitnímu senzoru

V této kapitole je pojednáno o základních principech a možnostech použití kapacitních senzorů. Následuje popis analogové části měřícího obvodu, která je používána pro měření signálu na měřicí elektrodě a k buzení kapacitního senzoru.

### 2.1 Kapacitní senzory

Kapacitní senzor, se kterým se pracuje, je kontaktní, diferenciální kapacitní senzor s proměnnou plochou překrytí elektrod. Jeho blokové uspořádání je na obr. 2.1. Na obr. 2.2 je jeho skutečná podoba. V levé části je nepohyblivá deska se čtyřmi budicími elektrodami, v pravé části je pohyblivá, měřicí elektroda.

Převodní charakteristika kapacitního senzoru vychází ze vztahu pro kapacitu rovinatého deskového kondenzátoru s homogenním polem

$$C = \frac{\epsilon_0 \epsilon_r S}{d},$$

kde  $\epsilon_0 = 8,85 \text{ pF/m}$  je dielektrická konstanta pro vakuum,  $\epsilon_r$  je relativní permitivita jejíž hodnota závisí na druhu dielektrika,  $S$  je plocha desek kondenzátoru,  $d$  je vzdálenost mezi deskami.

Kapacita snímací elektrody vůči jednotlivým budicím elektrodám je dána jako

$$C_i(x,y) = \epsilon \frac{(x_0 \pm x)(y_0 \pm y)}{d},$$

kde  $x_0$  a  $y_0$  je základní poloha a  $x$  a  $y$  je vychýlení ze základní polohy.

Elektrody jsou připojeny na obdélníkový nebo harmonický signál stejné amplitudy, ale opačné polarity. Pokud je měřicí elektroda přesně uprostřed nad budicími

## 4 KAPITOLA 2. ANALOGOVÉ ROZHRANÍ KE KAPACITNÍMU SENZORU

elektrodami, obě kapacity jsou stejně velké a na měřicí elektrodě bude nulový signál. Pokud se středová deska vychýlí, posílí se kapacitní vazba a na měřicí elektrodě bude nenulový signál.

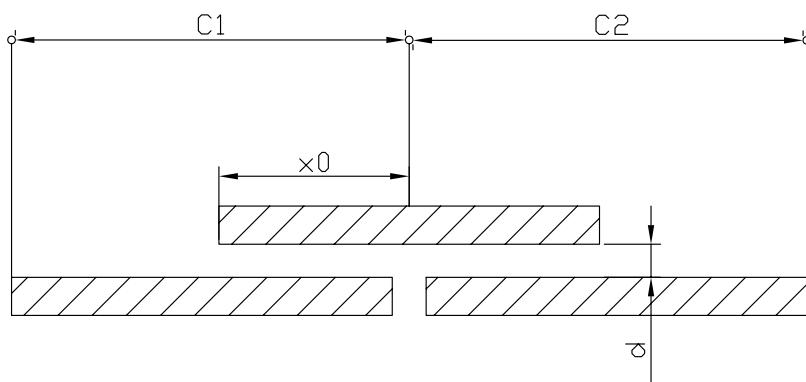
Přivedeme-li na elektrody harmonický signál generovaný pomocí dnes již zastaralých funkčních generátorů (např. generátor XR-2206 od společnosti EXAR) nebo pomocí obvodu pro přímou digitální syntézu frekvence (DDS)<sup>1</sup> (např. programovatelný signálový generátor AD9833 od společnosti ANALOG DEVICES) lze usuzovat o změně polohy ze změny signálu na měřicí elektrodě, viz [2].

Druhou možností je přivedení obdélníkového signálu na budicí elektrody a zavedení zpětné vazby. Vzniklý signál na měřicí elektrodě je možné použít k dosažení nové rovnováhy na měřicí elektrodě změnou amplitud obdélníkového signálu na jednotlivých budicích elektrodách. Tato práce se zabývá právě tímto způsobem.

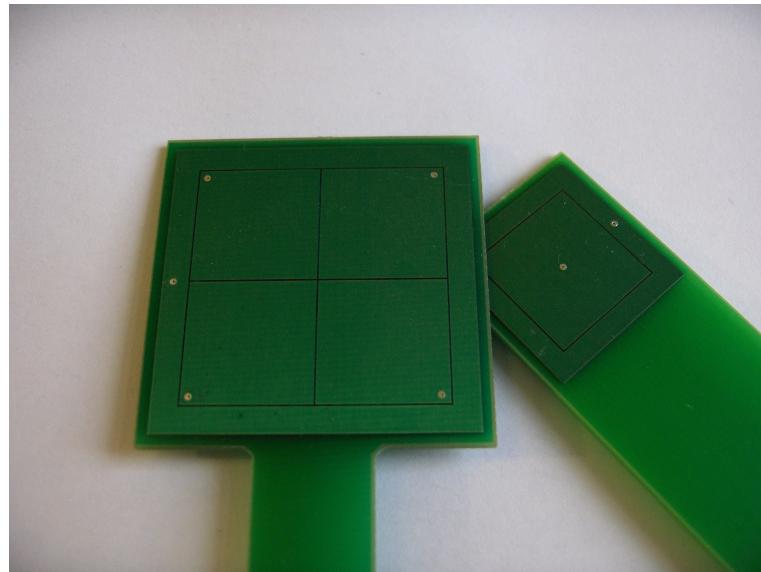
Zpracování signálu z měřicí elektrody je závislé na budicím signálu. Pokud přivedený signál je harmonický, je vhodné nejprve signál z měřicí elektrody dvoucestně usměrnit. Poté získat jeho střední hodnotu pomocí dolnopropustného filtru, kterou lze měřit. Pokud signál přivedený na budicí elektrody je obdélníkový, lze měřit jeho velikost přímo na senzoru.

---

<sup>1</sup>Přímá digitální syntéza frekvence je způsob vytvoření frekvenčně a fázově modulovaného výstupního signálu ze stabilního referenčního signálu o konstantní frekvenci.



Obrázek 2.1. Uspořádání kapacitního senzoru s proměnnou plochou překrytí



Obrázek 2.2. Uspořádání kapacitního senzoru.

## 2.2 Analogová část měřicího obvodu

Pro potřeby amplitudové modulace je nutno generovat obdélníkový signál pro čtyřkvadrantový kapacitní senzor velmi přesný v amplitudě s konstantní frekvencí. Nejvhodnější by byl signál s nulovou střední hodnotou. Dále je třeba velmi přesně měřit velikost signálu na měřicí elektrodě v kladné i záporné amplitudě.

Generování přesného obdélníkového signálu pro amplitudovou modulaci je realizováno pomocí D/A převodníku. Dvakrát za periodu se do D/A převodníku posílá hodnota kladné a záporné amplitudy obdélníkového signálu. Měření signálu na měřicí elektrodě je realizováno pomocí A/D převodníku, který měří velikost amplitudy v každé půlperiodě.

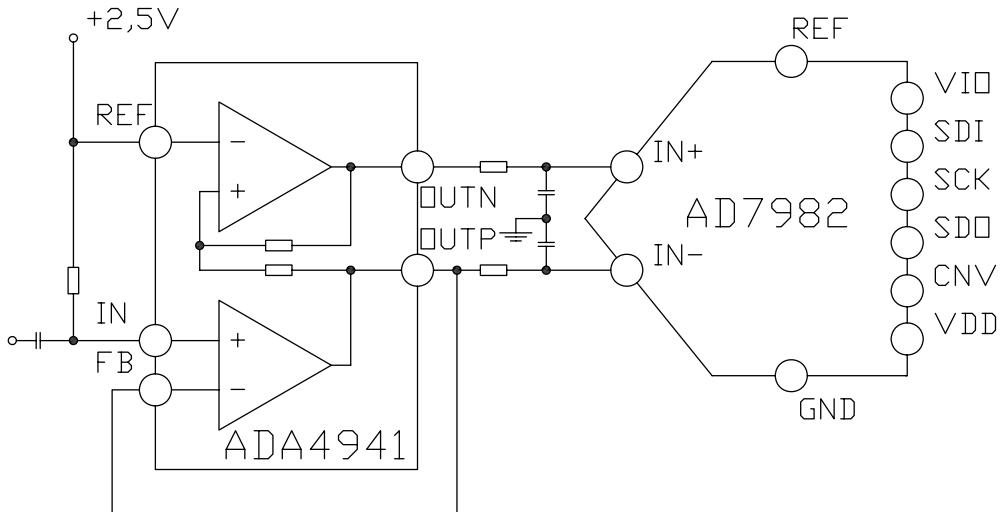
### 2.2.1 A/D převodník

Použitý 18 bitový A/D převodník AD7982 je zapojen spolu s rozdílovým zesilovačem ADA4941 podle schéma na obr. 2.3. Zapojení bylo sestaveno na základě doporučení uvedených v [8].

Signál z měřicí elektrody je přiveden na vstup jednoduchého hornopropustného filtru RC, kterým je ze signálu odstraněna stejnosměrná složka<sup>2</sup>. Rezistor na výstupu

<sup>2</sup>Z tohoto důvodu musí být generovaný obdélníkový signál souměrný podle neměnné stejnosměrné hodnoty. Jinak by vlivem nabíjení nebo vybíjení vstupního kondenzátoru docházelo k dalším

## 6 KAPITOLA 2. ANALOGOVÉ ROZHRANÍ KE KAPACITNÍMU SENZORU



Obrázek 2.3. Schéma zapojení A/D převodníku

filtru není připojen proti zemi, ale na napětí ze zdroje referenčního napětí +2,5 V. Stejná velikost napětí je přivedena i na vstup REF předzesilovače. Tím je docíleno posunutí stejnosměrné složky signálu na výstupu hornopropustného fitru na +2,5 V.

Na výstupu předzesilovače *OUTP* je osledovaný vstupní, posunutý signál z měřicí elektrody. Na výstupu *OUTN* je ten samý signál, ale invertovaný. Tím je docíleno toho, že na rozdílových vstupech A/D převodníku je napětí, které odpovídá velikosti amplitudy obdélníkového signálu z měřicí elektrody.

Data z A/D převodníku jsou posílána v binárním doplňkovém kódu. Při takovém kódování je záporné číslo zaznamenáno jako binární negace původního čísla zvětšená o 1, první bit má význam znaménka. V tomto kódu existuje jen jediná reprezentace čísla nula, ani není zapotřebí speciální algoritmus pro odečítání. Odečítání je realizováno jako přičtení záporného čísla.

Při kódování do  $n$  bitů je možné zakódovat čísla od  $-2^{n-1}$  do  $2^{n-1} - 1$ .

Pokud se sečte takto vyjádřené záporné číslo s jiným záporným nebo větším kladným číslem, dojde k přetečení rozsahu. Kód je ale zvolen tak, že po odříznutí přetečeného bitu dostaneme správný výsledek.

Ukázky velikostí vstupních napětí a jim odpovídající digitální výstupy z A/D převodníku jsou v [8] a jsou také uvedeny v tab. 2.1.

---

nepřesnostem v měření.

Rozsah vstupní napětí	Analogový vstup	Digitální výstup
Fullscale - 1 LSB	+4.999962 V	0x1FFFF
Midscale + 1 LSB	+38.15 $\mu$ V	0x00001
Midscale	0,V	0x00000
Midscale - 1 LSB	-38.15 $\mu$ V	0x3FFF
-Fullscale + 1 LSB	-4.999962 V	0x20001
-Fullscale	+5 V	0x20000

Tabulka 2.1. Velikost vstupního napětí a digitální výstup

### 2.2.2 D/A převodník

Použitý 16 bitový D/A převodník AD5545 je zapojen spolu s operačním zesilovačem AD8022 podle zapojení na obr. 2.4. Zapojení bylo sestaveno na základě doporučení uvedených v [7].

D/A převodník má proudový výstup a operační zesilovač je zapojen jako převodník proudu na napětí. Velikost výstupního napětí je dána rovnicí

$$V_{out} = -V_{ref} \frac{D}{65535},$$

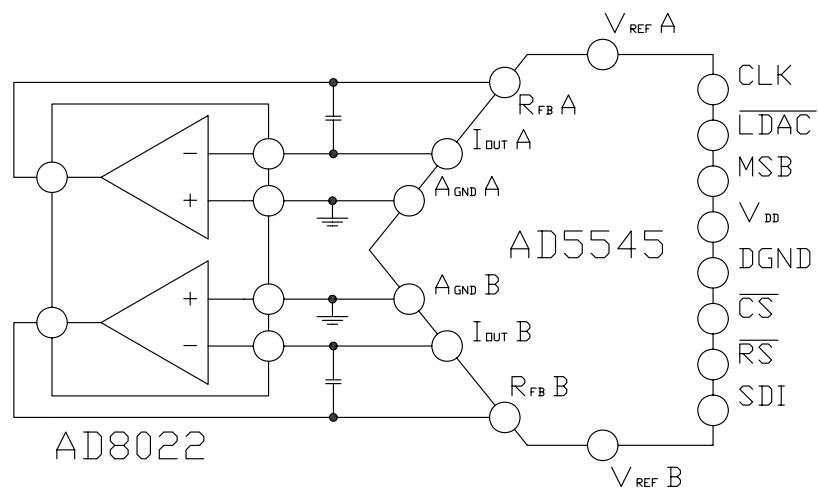
kde  $V_{ref}$  je velikost připojeného referenčního napětí a  $D$  je 16 – bit hodnota načtená do D/A převodníku.

K 16 bitům dat do D/A převodníku je třeba přidat na začátek (pozice 0 a 1) dva adresové byty, které vybírají registr, kam se bude zapisovat. Data je možno zapisovat do každého registru zvlášť, nebo do obou současně, viz tab.2.2. Každý registr přísluší jednomu výstupnímu kanálu.

bit na pozici 0	bit na pozici 1	registrový kanál
0	0	–
0	1	A
1	0	B
1	1	A i B

Tabulka 2.2. Výběr registrů pro zápis dat.

## 8 KAPITOLA 2. ANALOGOVÉ ROZHRANÍ KE KAPACITNÍMU SENZORU



Obrázek 2.4. Schéma zapojení D/A převodníku

# Kapitola 3

## Popis měřicího obvodu s mikroprocesorem

V této kapitole je pojednáno o výhodách a nevýhodách přímé komunikace mikroprocesoru s A/D a D/A převodníky. Následně je popsáno výsledné řešení.

Použité A/D i D/A převodníky, viz kap. 2.2, komunikují po sériovém rozhraní SPI<sup>1</sup>. Vybraný procesor, LPC2119 od společnosti PHILIPS, obsahuje dva SPI registry, kterých bylo na začátku vývoje celé aplikace ke komunikaci využito.

Přímá komunikace mikroprocesoru s A/D a D/A převodníky měla dva nedostatky.

1. SPI registry v použitém mikroprocesoru jsou pouze osmi bitové, takže poslat nebo přečíst 18 bitů dat znamená tři zápisy do registrů, což je časově náročné. Navíc ke generování obdélníkového průběhu pro amplitudovou modulaci jsou zapotřebí minimálně dva kanály. Tomu odpovídají dva po sobě následující zápisy dat do D/A převodníku.
2. Hlavní činností mikroprocesoru je filtrace změrených dat a výpočet nových hodnot pro obdélníkovou modulaci. S tím souvisí velmi obtížné dodržení konstantní frekvence 100 kHz generovaného obdélníkového signálu. Nepodařilo se totiž dosáhnout hodnot ustálení D/A převodníků jak je uvedeno v [7] a proměnná frekvence obdélníkového signálu by způsobovala další chybu měření vlivem různého ustálení budicího signálu.

S ohledem na výše popsané problémy bylo zvoleno řešení podle obr. 3.1. Komunikaci s A/D a D/A převodníky zajišťuje hradlové pole, změrená data z A/D převodníku nebo nová data do D/A převodníku jsou předávána paralelně z nadřazeného mikroprocesoru. Hlavní výhodou tohoto řešení je menší zatížení mikropro-

---

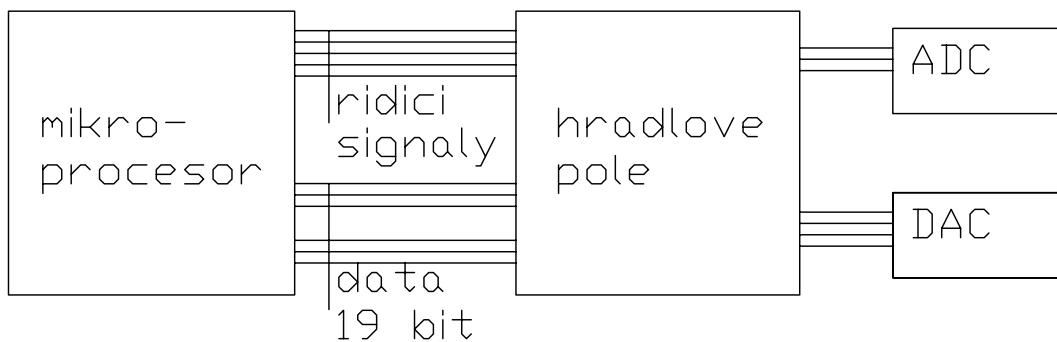
<sup>1</sup>SPI sběrnice neboli *Serial Peripheral Interface bus* je plně duplexní, tří nebo čtyřvodičová, synchronní sériová sběrnice vytvořená společností Motorola.

cesoru komunikací s A/D a D/A převodníky, která je přesunuta do hradlového pole. Mikroprocesor pak realizuje stavový automat, který

- řídí směr měření,
- filtruje změřená data,
- počítá nové hodnoty amplitud obdélníkového signálu,
- řídí přenos dat z nebo do hradlového pole,
- komunikuje s nadřazeným systémem.

Nevýhodou tohoto řešení je vložení časového zpoždění do přenosu vygenerovaných dat na výstup D/A převodníku.

Podrobný popis tohoto řešení lze nalézt v [6].



Obrázek 3.1. Blokové schéma celého zapojení.

# Kapitola 4

## Popis měřicího obvodu s mikroprocesorem a CPLD

V této kapitole je uveden rozbor použitelnosti a výhod použití hradlových polí jako prostředníka pro komunikaci mikroprocesoru s A/D a D/A převodníky. Je zde popsán princip komunikace s převodníky a její implementace v hradlovém poli na ukázkách VHDL kódu. V poslední části kapitoly je popsáno konkrétní řešení a výsledky, kterých bylo dosaženo s obvodem CPLD.

Obvody CPLD (Complex PLD) obsahují několik bloků složených z makrobuněk se strukturou PAL nebo PLA, které jsou na čipu vzájemně propojeny programovatelnou strukturou. Zároveň ale tvoří relativně samostatné celky připomínající obvody GAL. Bývají vybaveny dalšími přídavnými prvky, které umožňují další funkce. Vyrábějí se většinou v provedení EECMOS nebo SRAM s integrovanou konfigurační pamětí EEPROM.

### 4.1 Řešení komunikace pomocí hradlového pole

Hlavní výhodou použití hradlového pole je menší zatížení mikroprocesoru komunikací s A/D a D/A převodníky. V použitém mikroprocesoru je délka SPI komunikace pevně daná, konkrétně 8 bitů. Poslání nebo načtení 18 bitů znamená tři zápisy do registrů, což je časově náročné. Hradlové pole načítá paralelně data z mikroprocesoru a posílá je po SPI do D/A převodníků nebo po SPI vyčítá data z A/D převodníku a paralelně je posílá do mikroprocesoru. Další výhodou je minimalizace komunikace mezi procesorem a převodníky v tom smyslu, že hradlovým polem lze předzpracovávat změřená data z A/D převodníku, stejně tak generovat data pro jednotlivé kanály D/A převodníků.

## 12 KAPITOLA 4. POPIS MĚŘICÍHO OBVODU S MIKROPROCESOREM A CPLD

Nevýhoda použití hradlového pole je vložení časového zpoždění o jednu periodu. Data vygenerovaná v mikroprocesoru se na výstupu D/A převodníků neobjeví hned v následující periodě, jak by tomu bylo v případě přímého propojení převodníků s mikroprocesorem, ale až v následující periodě. S tímto zpožděním je nutno počítat při generování nových dat pro D/A převodníky.

### 4.1.1 Generování dat pro D/A převodníky

K hradlovému poli jsou připojeny dva dvoukanálové DA převodníky<sup>1</sup>. Výstup každého kanálu je přiveden na jeden budicí element kapacitního senzoru. Data pro každý kanál jsou v hradlovém poli generována z paralelně načtených dat z mikroprocesoru, *data*, v závislosti na měřeném směru podle tabulek 4.1–4.4. Každému poli v tabulce schematicky odpovídá jeden budicí element kapacitního senzoru, na který jsou posílána vygenerovaná nebo původní *data*.

<i>data</i>	<i>data</i>
<i>data</i> xnor 0111111111111111	<i>data</i> xnor 0111111111111111

Tabulka 4.1. Data posílaná do D/A převodníků, pro měření ve směru osy *Y* v první části periody

<i>data</i> xor 1111111111111111	<i>data</i> xor 1111111111111111
<i>data</i> xor 0111111111111111	<i>data</i> xor 0111111111111111

Tabulka 4.2. Data posílaná do D/A převodníků, pro měření ve směru osy *Y* v druhé části periody

<i>data</i>	<i>data</i> xnor 0111111111111111
<i>data</i>	<i>data</i> xnor 0111111111111111

Tabulka 4.3. Data posílaná do D/A převodníků, pro měření ve směru osy *X* v první části periody

<sup>1</sup>Původně byl v návrhu jen jeden dvoukanálový D/A převodník a dva multiplexry, ale signál na elementech budicího senzoru byl vlivem multiplexerů velmi zkreslený, a proto byly multiplexery nahrazeny druhým D/A převodníkem.

<i>data xor 1111111111111111</i>	<i>data xor 0111111111111111</i>
<i>data xor 1111111111111111</i>	<i>data xor 0111111111111111</i>

Tabulka 4.4. Data posílaná do D/A převodníků, pro měření ve směru osy  $X$  v druhé části periody

#### 4.1.2 Předzpracování dat z A/D převodníku

Testováním bylo ověřeno, že generovaný obdélníkový signál je z dlouhodobého hlediska stabilní v amplitudě, viz obr. 4.1<sup>2</sup>, takže je možno v hradlovém poli odčítat velikosti amplitud změřené A/D převodníkem v kladné a záporné amplitudě a do procesoru posílat pouze jejich rozdíl<sup>3</sup>.

Z obr. 4.2 je patrné, že data z A/D převodníku jsou hodně zašuměná. V hradlovém poli je možno průměrovat přijatá data z A/D převodníku a tím zmenšovat rozptyl dat, v nejjednodušším případě lze použít

- průměr ze 2 nebo 4 vzorků nebo
- klouzavý průměr ze 2 nebo 4 vzorků.

## 4.2 Otestování hradlového pole

Před návrhem a výrobou nové desky plošného spoje jsme otestovali komunikaci A/D a D/A převodníků na vývojové desce s obvodem CPLD XC9572XL od firmy XILINX.

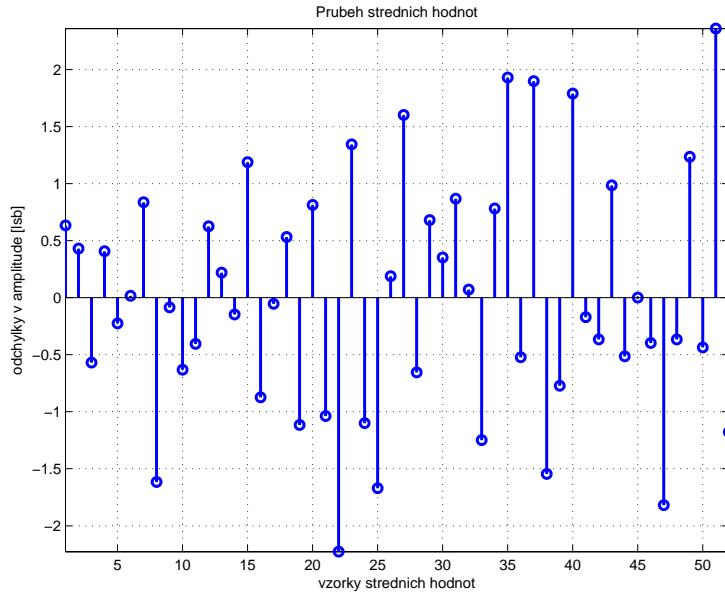
První D/A převodník, kterým jsme zkoušeli generovat obdélníkový signál pro amplitudovou modulaci je 16 – bit D/A převodník DAC8871, ke kterému je připojen zdroj referenčního napětí  $\pm 10$  V AD688.

---

<sup>2</sup>Během testování činnosti byl generován obdélníkový signál, jehož amplituda se po určité době schodovitě měnila. Po dosažení maximální amplitudy, kterou lze vygenerovat, se amplituda zmenšila na minimální hodnotu a generování schodů se opakovalo. Během doby jednoho schodu byla přibližně pět set krát změřena amplituda A/D převodníkem. Každý vrchol v obrázku odpovídá střední hodnotě jednoho schodu

<sup>3</sup>Úloha odčítání je v binární reprezentaci realizována jako přičítání záporného čísla. Převést kladné číslo na záporné a naopak lze jednoduše realizovat invertováním všech bitů a přičtením binární jedničky. Pro pokrytí všech možných situací při odčítání je třeba převést 18 bitové číslo v doplňkovém kódu na 19 bitové číslo v doplňkovém kódu, což lze jednoduše realizovat zkopirováním 18. bitu na 19. bit, tím se zabrání přetečení a ztrátě informace.

## 14 KAPITOLA 4. POPIS MĚŘICÍHO OBVODU S MIKROPROCESOREM A CPLD



Obrázek 4.1. Odchylky středních hodnot.

Doba ustálení tohoto D/A převodníku byla i po pokusech s osledováním výstupu D/A převodníku operačním zesilovačem několikanásobně delší než hodnota uvedená v [10]. Tento převodník je proto nepoužitelný na generování přesného obdélníkového signálu na frekvenci 100, 200 kHz.

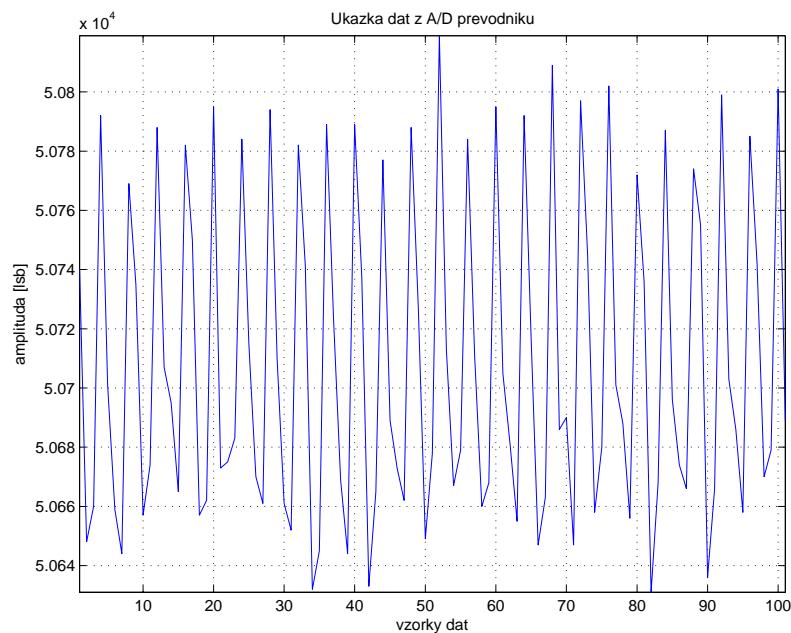
Přípravek pro testování přesnosti generovaného signálu, doby ustálení, komunikace a zapojení celého převodníku je na obr. 4.3.

Druhý D/A převodník, kterým jsme zkoušeli generovat obdélníkový signál pro amplitudovou modulaci je 16-bit dvoukanálový D/A převodník AD5545, ke kterému je připojen zdroj referenčního napětí 10 V REF01. Na proudový výstup D/A převodníku je připojen převodník proud-napětí s doporučeným operačním zesilovačem AD8022, doporučené zapojení je na obr. 2.4, nebo v [7].

Nepodařilo se dosáhnout doby ustálení tohoto D/A převodníku, která je uvedena v [7], i přesto je tento převodník vhodný pro generování obdélníkového signálu na frekvenci 100, 200 kHz. Generovaný obdélníkový signál má střední hodnotu -5 V.

Přípravek pro testování přesnosti generovaného signálu, doby ustálení, komunikace a zapojení celého převodníku je na obr. 4.4.

Měření kladné i záporné amplitudy signálu na měřicí elektrodě je realizováno 18-bit A/D převodníkem AD7982. Měřený signál je připojen na vstup rozdílového zesilovače ADA4941 a výstup rozdílového zesilovače je připojen na vstup A/D převodníku, ke kterému je připojen zdroj referenčního napětí 5 V REF102. Do-



Obrázek 4.2. Ukázka dat z A/D převodníku.

poručené zapojení je na obr.2.4, nebo v [8].

Přípravek pro testování přesnosti měření, šumu měření, komunikace a zapojení celého převodníku je na obr. 4.5.

### 4.3 Podrobný popis činnosti hradlového pole

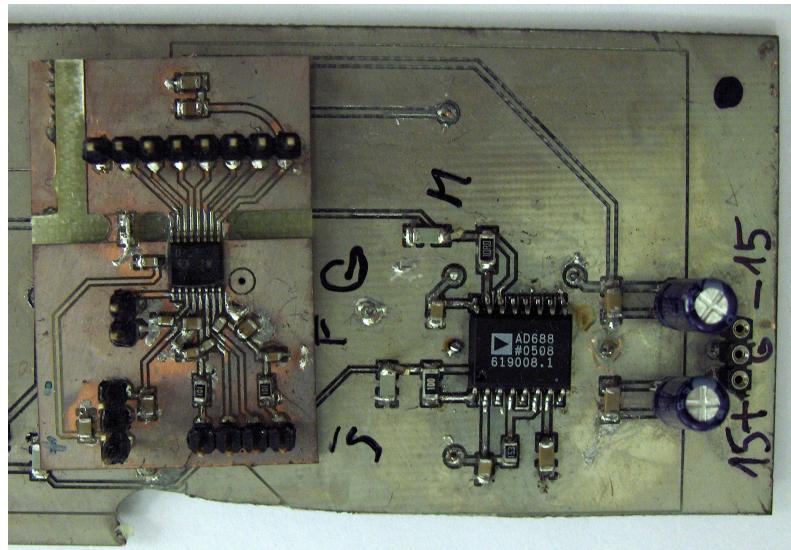
Celý program v hradlovém poli je rozdělen do tří bloků

- blok s hlavním programem,
  - ovládání řídicích signálů A/D a D/A převodníků,
  - komunikace s mikroprocesorem, obousměrný přenos dat,
- blok pro komunikaci s A/D převodníkem,
- blok pro komunikaci s D/A převodníky.

V hlavním bloku se vykonávají dva paralelní programy<sup>4</sup>. Jeden zajišťuje komunikaci s mikroprocesorem a druhý ovládá hodinové a řídicí signály pro převodníky. Datové

<sup>4</sup>Každý program je realizován stavovým automatem, který se skládá ze 3 paralelních procesů.

## 16 KAPITOLA 4. POPIS MĚŘICÍHO OBVODU S MIKROPROCESOREM A CPLD



Obrázek 4.3. 16 – bit DA převodník DAC8871

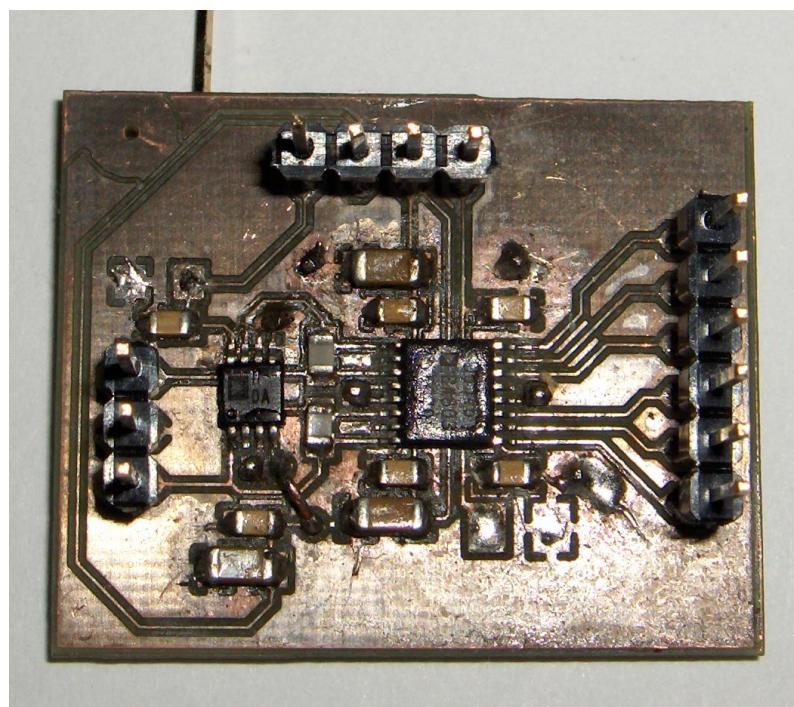
signály pro převodníky jsou ovládány ze samostatných bloků. Jednotlivé bloky jsou podrobněji popsány v následujících kapitolách.

### 4.3.1 Popis komunikace a ovládání A/D a D/A převodníků

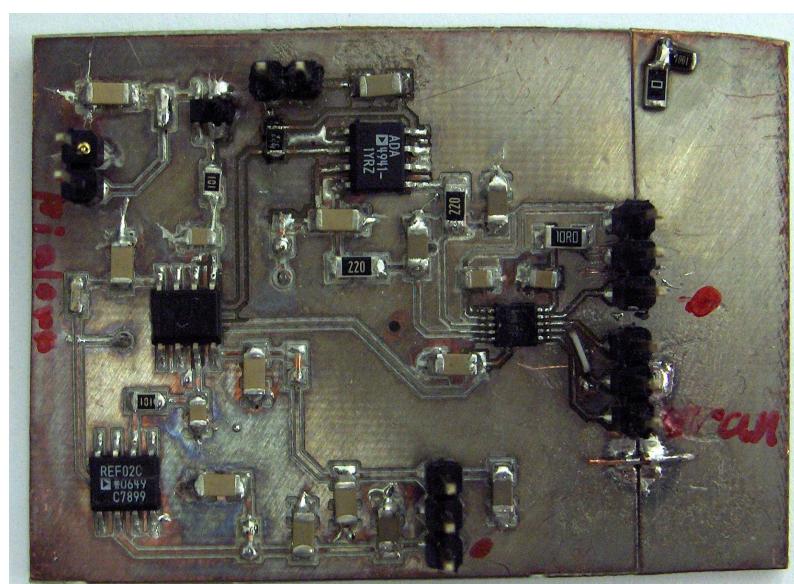
Ovládání řídicích a SPI signálů pro A/D a D/A převodníky pro generování a měření obdélníkového signálu, viz obr. 4.8, je rozděleno do časových úseků, jednotlivých stavů. Řídicí a datové signály se ovládají pomocí přechodů mezi jednotlivými stavami, které na sebe navazují tak, aby byly dodrženy časové diagramy uvedené v katalogových listech převodníků [8] a [7]. Stavový diagram popisující význam jednotlivých stavů, ovládání řídicích a SPI signálů pro A/D a D/A převodníky je uveden v příloze A na obr. A.2.

Zápis synchronního konečného stavového automatu typu Moore, pro ovládání řídicích a SPI signálů ve VHDL kódu je podle doporučení výrobce použitých hradlových polí, firmy XILINX, viz obr. 4.6 a 4.7. Z obrázků je patrno, že stavový automat je realizován pomocí tří paralelních procesů. Proces na obr. 4.6, označený *SYNC PROC* slouží k uvedení stavového automatu do výchozího stavu externím signálem. Proces na obr. 4.7 označený *OUTPUT DECODE* ovládá výstupní signály<sup>5</sup> na zá-

<sup>5</sup>V ukázce je výstupní signál pouze jeden, ve skutečnosti jich může být libovolné množství a nemusí se jednat pouze o výstupní signály, lze také např. měnit hodnoty proměnných, resetovat/nastavovat čítač.



Obrázek 4.4. 16 – bit dvoukanálový DA převodník AD5545



Obrázek 4.5. 18 – bit AD převodníkem AD7982

## 18 KAPITOLA 4. POPIS MĚŘICÍHO OBVODU S MIKROPROCESOREM A CPLD

kladě stavu, ve kterém se automat nachází. Proces označený *NEXT STATE CODE* realizuje přechody mezi stavy, ke kterým může docházet na základě vstupních signálů nebo hodnoty v čítači, jak je tomu v ukázce.

Pro A/D převod je potřeba, aby signál byl ustálený a co nejméně zarušený, proto v době A/D převodu neprobíhá žádná komunikace po SPI. Z obr. 4.8 je patrno, že A/D převodník začne převádět analogovou hodnotu výstupu senzoru na digitální s přesně definovaným předstihem před změnou amplitudy budicích signalů, tzn. na náběžnou hranu signálu *AD CNV*. Po ukončení převodu<sup>6</sup> A/D převodníku, hradlové pole dá signál *AD CNV* do log. 0 a začne generovat hodinový signál *AD CLOCK*. A/D převodník při každé nulové úrovni hodinového signálu posílá na výstup změřená data, signál *AD DATA*, MSB bit je posílan jako první.

Současně se spádovou hranou signálu *AD CNV* jde do log. 0 i signál *DA LDAC*. Na jeho spádovou hranu se překopíruje obsah datových registrů v D/A převodníku na výstup a je možno do D/A převodníku nahrávat nová data, která se na výstupu objeví v další půlperiodě. Data z hradlového pole, signál *DA DATA*, se nahrávají do D/A převodníku na náběžnou hranu hodinového signálu *DA CLOCK*. Použitý D/A převodník je dvoukanálový, proto se do D/A převodníku nahrávají data dvakrát po sobě, MSB bit je nahráván jako první.

Aby bylo dosaženo změn datových signálů při nulových úrovních hodinových signálů, má hodinový signál pro SPI poloviční frekvenci než hodinový signál z oscilátoru, viz obr. 4.9. Hodinový signál pro převodníky se mění na náběžnou hranu hodinového signálu oscilátoru, datové signály se mění, nebo načítají na spádové

<sup>6</sup>Převod trvá 650 ns až 800 ns.

```
SYNC_PROC: process (clock)
begin
    if (clock'event and clock = '1') then
        if (reset = '1') then
            state <= s0;
        else
            state <= next_state;
        end if;
    end if;
end process;
```

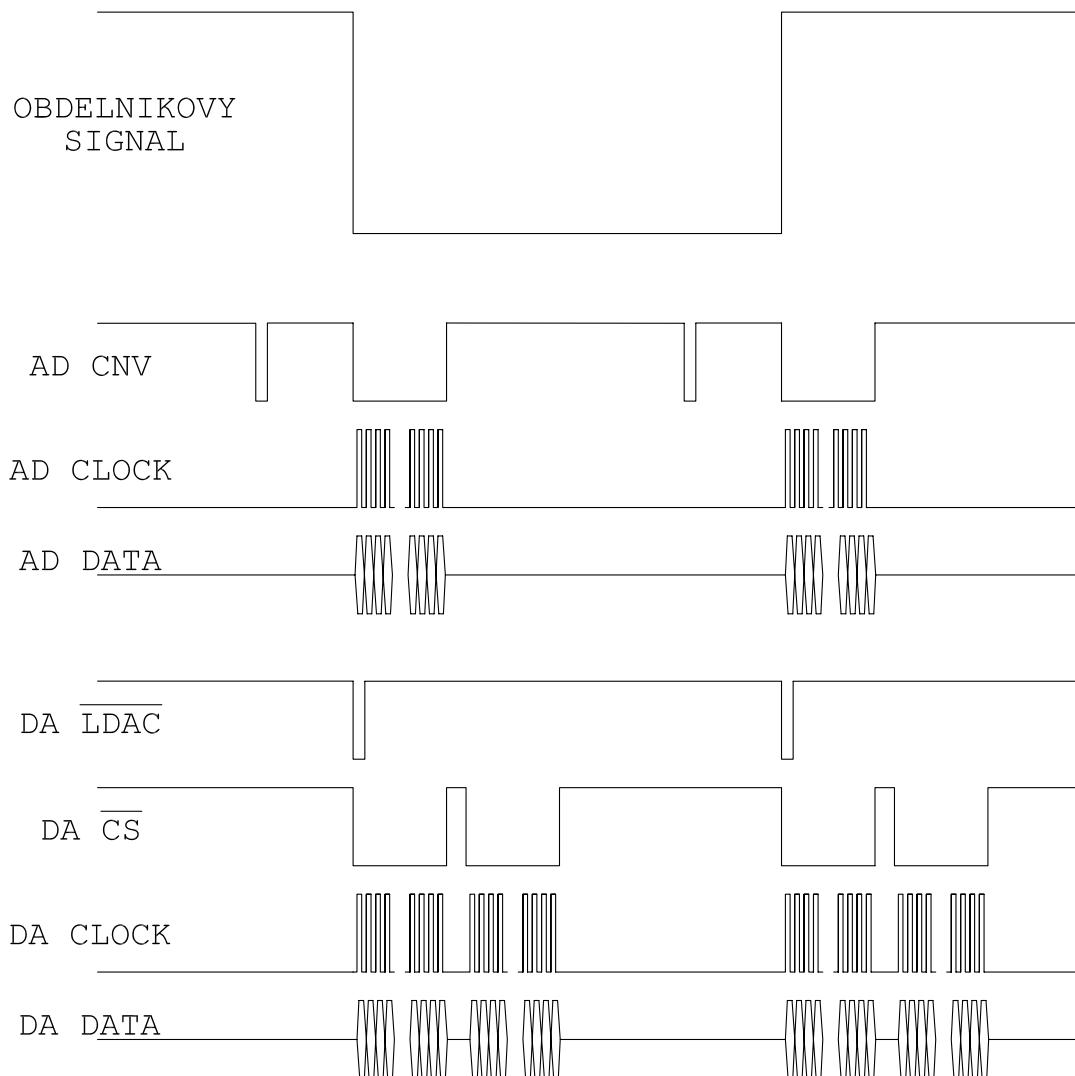
Obrázek 4.6. Ukázka zápisu stavového automatu ve VHDL pro možnost uvedení stavového automatu do výchozího stavu.

```
OUTPUT_DECODE: process (state)
begin
    if state = st0 then
        vystup <= "00";
    elsif state = st1 then
        vystup <= "01";
    elsif state = st2 then
        vystup <= "10";
    else
        vystup <= "00";
    end if;
end process;

NEXT_STATE_DECODE: process (state, counter)
begin
    next_state <= state;
    case (state) is
        when st0 =>
            if counter > "00000001" then
                next_state <= st1;
            end if;
        when st1 =>
            if counter > "00110010" then
                next_state <= st2;
            end if;
        when st2 =>
            if counter > "00110011" then
                next_state <= st1;
            end if;
        when others =>
            next_state <= st0;
    end case;
end process;
```

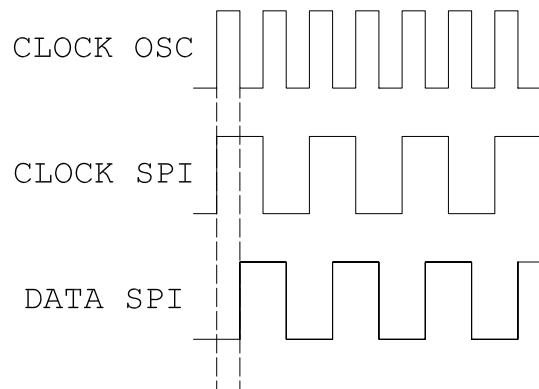
Obrázek 4.7. Ukázka zápisu stavového automatu ve VHDL pro ovládání výstupů a přechody mezi stavý

## 20 KAPITOLA 4. POPIS MĚŘICÍHO OBVODU S MIKROPROCESOREM A CPLD



Obrázek 4.8. Komunikace s A/D a D/A převodníky.

hrany hodinového signálu z oscilátoru.



Obrázek 4.9. Změny datových a hodinových signálu.

### 4.3.2 Komunikace s mikroprocesorem, obousměrný přenos dat

Stavový diagram, který popisuje komunikaci mezi hradlovým polem a mikroprocesorem je uveden v příloze A na obr. A.1.

V kladné amplitudě generovaného obdélníkového signálu, po načtení dat z A/D převodníku, jsou data přesunuta na výstupní piny a *indikační pin* je nastaven do log 1. Jakmile mikroprocesor data načte, nastaví *response pin* do log 1. Druhým krokem je přenos nově vypočtených dat z mikroprocesoru do hradlového pole. To po nadetekování log 1 na *response pinu* přenastaví výstupní piny na vstupní. Současně nastaví do log 1 pin, kterým žádá mikroprocesor o nová data. Jakmile jsou data na výstupních pinech mikroprocesoru, nastaví mikroprocesor pin *data platná* a hradlové pole data načte. Nově načtená data se v další periodě posílají do D/A převodníků.

V záporné amplitudě generovaného obdélníkového signálu, se načtená data z A/D převodníku pouze předávají do mikroprocesoru, přenos nových dat do hradlového pole se neuskutečňuje.

### 4.3.3 Blok pro komunikaci s A/D převodníkem

Blok pro komunikaci s A/D převodníkem obsahuje posuvný registr. Na každou spádovou hranu hodinového signálu z oscilátoru, při jedničkové úrovni hodinového SPI signálu načítá data z A/D převodníku. Hodinové a řídicí signály jsou ovládány z hlavního programu. Zápis posuvného registru pro vyčítání dat ve VHDL kódu je

## 22 KAPITOLA 4. POPIS MĚŘICÍHO OBVODU S MIKROPROCESOREM A CPLD

podle doporučení výrobce použitých hradlových polí, firmy XILINX, viz obr. 4.10. Během načítání sériových dat se testuje napěťová úroveň na vstupním pinu *sd\_in*. Podle napěťové úrovně se na spádovou hranu hodinového signálu z oscilátoru, tj. při nulové hodnotě hodinového signálu, zapíše do posuvného registru *data\_load* na první pozici jednička nebo nula.

### Blok pro komunikaci s D/A převodníky

Blok pro komunikaci s D/A převodníky obsahuje dva posuvné registry. Na každou spádovou hranu hodinového signálu z oscilátoru, při nulové úrovni hodinového SPI signálu mění logické úrovně na datových pinech D/A převodníků. Hodinové a řídicí signály jsou ovládány z hlavního programu. Zápis posuvného registru pro vysílání dat ve VHDL kódu je podle doporučení výrobce použitých hradlových polí, firmy XILINX, viz obr. 4.11. Zápis dat z posuvného registru *data\_out* na sériový výstup *sd\_out* je realizován stálým zápisem posledního bitu v registru na výstup. K bitovému posuvu dochází na spádovou hranu hodinového signálu z oscilátoru, při nulové hodnotě hodinového signálu.

## 4.4 Řešení s CPLD XC95288XL

Jedná se o CPLD *XC95288XL* od firmy XILINX. Parametry použitého CPLD je možno nalézt např. v [13]. Zrealizovaná deska s CPLD a mikroprocesorem je na obr. 4.12

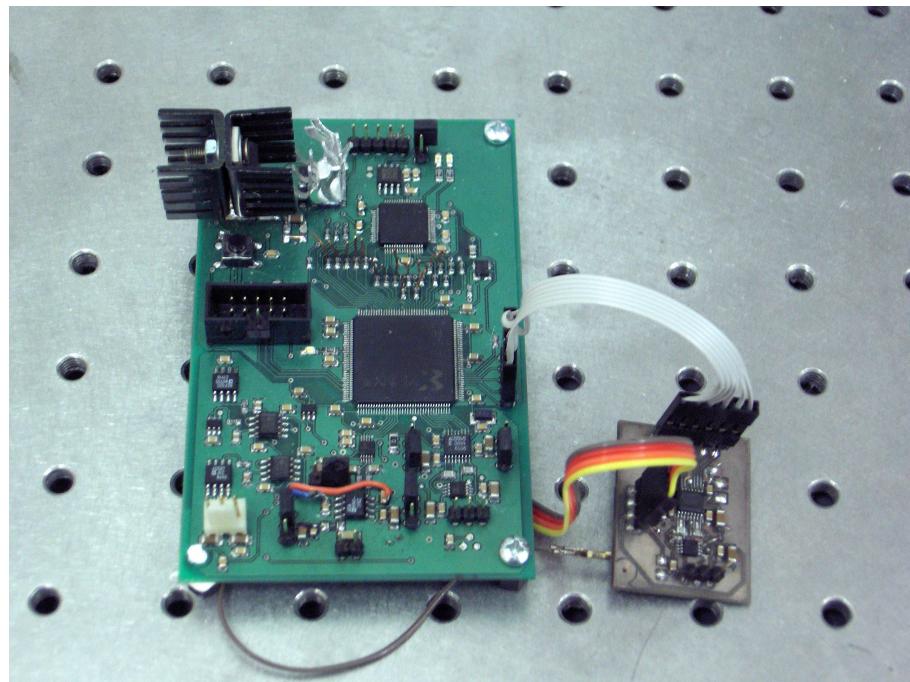
```
if (clock'event and clock = '0') then
    if (clock_spi = '0' and start = '1') then
        if sd_in = '1' then
            data_load <= data_load(16 downto 0) & '1';
        else
            data_load <= data_load(16 downto 0) & '0';
        end if;
    end if;
end if;
```

Obrázek 4.10. Ukázka posuvného registru pro vyčítání dat ve VHDL

```
if (clock'event and clock = '0') then
    if (clock_spi = '0' and start = '1') then
        data_out <= data_out(16 downto 0) & data_out(17);
    end if;

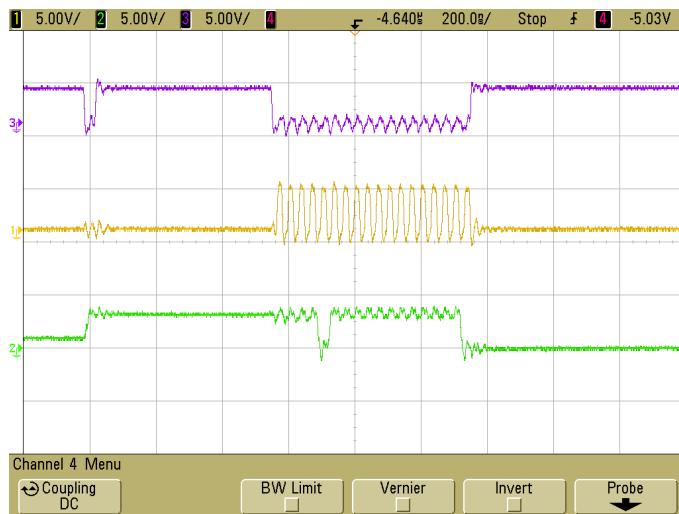
    if (start = '1') then
        sd_out <= data_out(17);
    else
        sd_out <= '0';
    end if;
end if;
```

Obrázek 4.11. Ukázka posuvného registru pro posílání dat ve VHDL

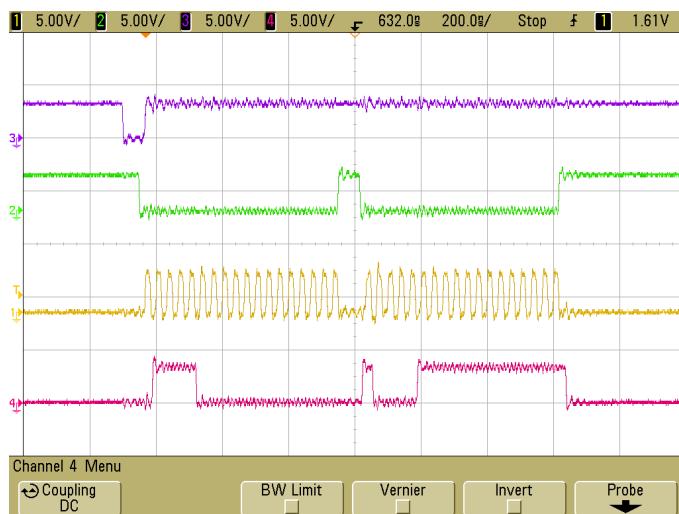


Obrázek 4.12. Vyvinutá deska s CPLD a mikroprocesorem.

## 24 KAPITOLA 4. POPIS MĚŘICÍHO OBVODU S MIKROPROCESOREM A CPLD



Obrázek 4.13. Skutečné průběhy SPI komunikace s A/D převodníkem



Obrázek 4.14. Skutečné průběhy SPI komunikace s D/A převodníkem

SPI Komunikace a sled řídicích signálů pro A/D a D/A převodníky generované obvodem CPLD odpovídají průběhům na obr. 4.8, 4.13 a 4.14. Vygenerovaný obdélníkový signál pro amplitudovou modulaci je na obr. 4.15 a 4.16.

Problém tohoto řešení nastal na straně procesoru. Při frekvenci generovaného obdélníkového signálu 100 KHz musel procesor během  $10 \mu\text{s}$  dvakrát načíst data a jednou vypočtená data předat do CPLD. Jednoduché filtrování změřených dat



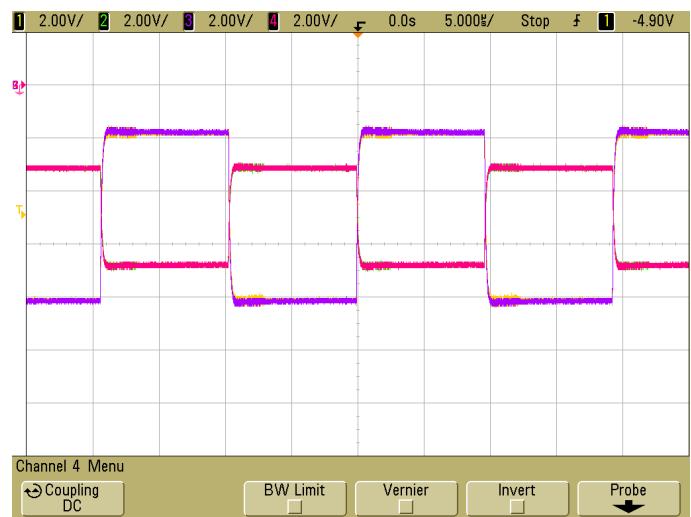
Obrázek 4.15. Obdělníkový signál, měření ve směru osy X

trvalo příliš dlouho a k přenosu vypočtených dat do CPLD nedocházelo. Řešením by bylo průměrovat dva vzorky změrených dat už v CPLD, tím by se rychlosť komunikace snížila na polovinu a mikroprocesor by stíhal předávat nově vypočtená data do CPLD. Celý program v CPLD je dost obsáhlý a nepodařilo se průměrování do CPLD přidat, bud' byl přesázen počet klopných obvodů nebo počet p-termů. Na výběr byly dvě možnosti řešení

- snížit frekvenci generovaného obdělníkového signálu na 50 kHz,
- nahradit CPLD jiným hradlovým polem.

Konečné řešení celého zařízení počítá se dvěma kapacitními senzory. Pokud bychom sníželi frekvenci generovaného obdělníkového signálu na 50 kHz, bylo by třeba použít dvě CPLD a také dva mikroprocesory, každý pro jeden senzor. Dále by bylo třeba vyřešit meziprocesní komunikaci po CANu. Nahradili jsme použité CPLD FPGA obvodem XC2S50 od firmy XILINX. Do tohoto obvodu je možno ke stávající činnosti přidat průměrování ze dvou nebo ze čtyř vzorků změrených dat a zároveň použít jedno FPGA pro řízení dvou kapacitních senzorů. Cenově jsou řešení pomocí dvou CPLD (XC95288XL) nebo jednoho FPGA (XC2S50) s konfigurační pamětí (XCV01) srovnatelné.

## 26 KAPITOLA 4. POPIS MĚŘICÍHO OBVODU S MIKROPROCESOREM A CPLD



Obrázek 4.16. Obdělníkový signál, měření ve směru osy Y

# Kapitola 5

## Popis měřicího obvodu s mikroprocesorem a FPGA

V této kapitole je popsáno řešení s FPGA, kterým bylo nahrazeno CPLD. Jsou zde popsány rozdíly v použití jednotlivých obvodů. Na závěr kapitoly jsou uvedeny výsledky, kterých bylo dosaženo s FPGA.

Základní bloková struktura obvodů FPGA je tvořena polem konfigurovatelných logických bloků (Configurable Logic Block), které můžeme přirovnat k malým blokům obvodů CPLD. Bloky CLB se zpravidla ještě dělí na menší části (řezy, logické buňky). Logické buňky, analogie makrobuněk u obvodů PLD, obsahují typicky strukturu pro vytvoření kombinačních funkcí a klopné obvody. Kombinační struktura je obvykle založena na principu struktury PROM s malým počtem vstupů (obvykle čtyři vstupy). Tento prvek se nazývá LUT (look-up table) a dovoluje vytvořit jen poměrně jednoduché funkce. Pro vytvoření složitějších logických funkcí je nutno propojit více logických buněk. K propojení bloků CLB slouží programovatelná propojovací struktura PI (programmable interconnect).

Všechny výhody a nevýhody řešení z předchozí kapitoly zůstavají, ani struktura a rozdělení VHDL kódu se zásedně nemění.

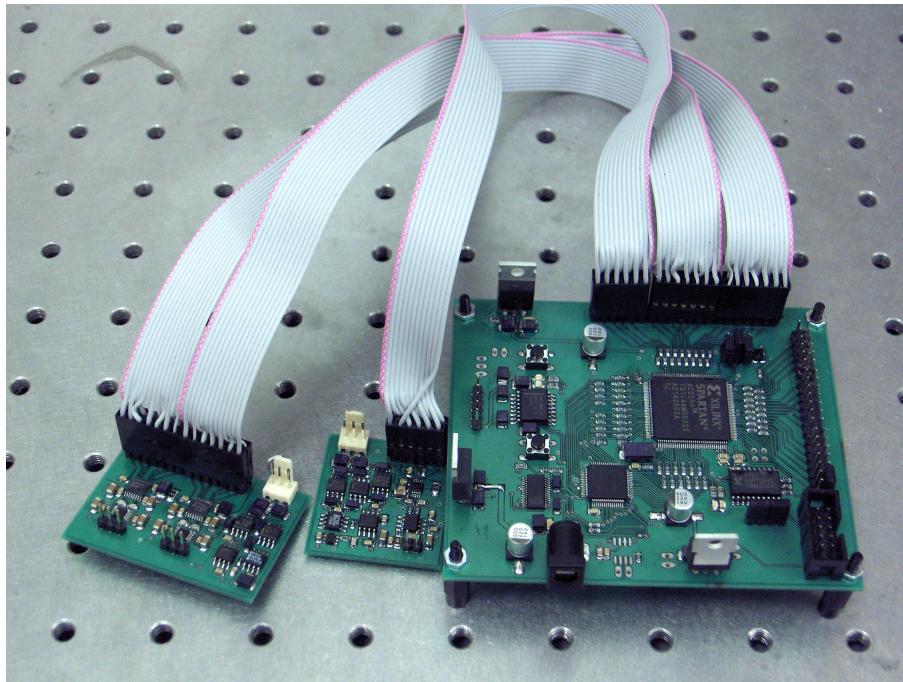
### 5.1 Řešení s FPGA XC2S50

Jako náhradu CPLD jsme vybrali z cenových důvodů obvod FPGA *XC2S50*. Jedná se o FPGA od firmy Xilinx, řady SPARTAN-II<sup>1</sup>. Základní parametry FPGA je možno nalézt např. v [11]. Zrealizovaná deska s FPGA a mikroprocesorem je na obr. 5.1

---

<sup>1</sup>Tato řada byla vyvinuta na základě řady VIRTEX, má obdobnou architekturu a je levnější.

## 28 KAPITOLA 5. POPIS MĚŘICÍHO OBVODU S MIKROPROCESOREM A FPGA



Obrázek 5.1. Vyvinutá deska s FPGA a mikroprocesorem.

Stejně jako u ostatních obvodů FPGA firmy Xilinx je i zde konfigurační informace uchovávána v konfigurační paměti RAM. Je natahována z připojené konfigurační paměti PROM nebo z PC při připojení napájecího napětí. K FPGA je připojena EEPROM paměť XCV01, doporučená paměť od firmy Xilinx, ve které je uložen program. Z tohoto důvodu jsou na desce umístěny zkratovací propojky, kterými lze vybrat jeden ze čtyř konfiguračních módů obvodu FPGA

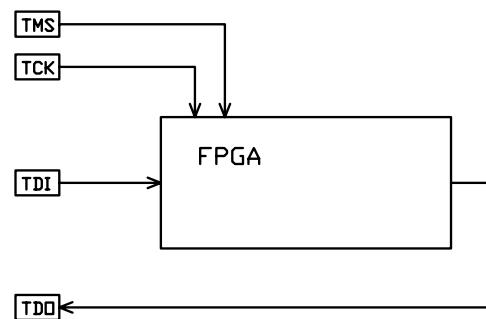
- master-serial mód,
- slave-parallel mód,
- slave-serial mód,
- boundary-scan mód.

Zapojení desky umožňuje použít pouze master-serial nebo boundary-scan mód.

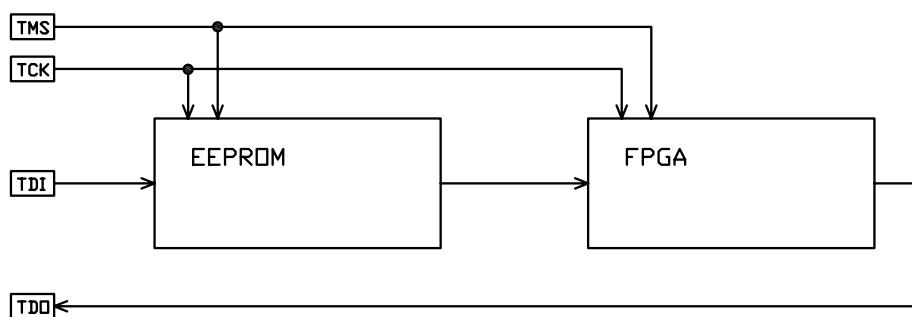
V master-serial konfiguračním módu, FPGA generuje hodinový signál a připojená paměť na každou vzestupnou hranu hodinového signálu posílá sériová data do DIN pinu. Zapojení FPGA a konfigurační paměti lze nalézt např. v [12].

V boundary-scan konfiguračním módu je připojen programovací kabel. Zapojení desky umožňuje dvě různé zapojení konfigurační paměti a FPGA do JTAG

řetězce<sup>2</sup>. První z nich se týká pouze obvodu FPGA, viz obr. 5.2, druhé je zapojení paměti EEPROM a obvodu FPGA současně, viz obr. 5.3. Programování konfigurační paměti a FPGA se děje odděleně. K programování obvodu FPGA se používá *bit* soubor, ekvivalent *jed* souboru, kterým se programovalo CPLD. K programování konfigurační paměti se používá *msc* soubor, který se generuje na základě použitého typu konfigurační paměti z *bit* souboru.



Obrázek 5.2. Zapojení pouze FPGA do JTAG řetězce.



Obrázek 5.3. Zapojení EEPROM a FPGA do JTAG řetězce.

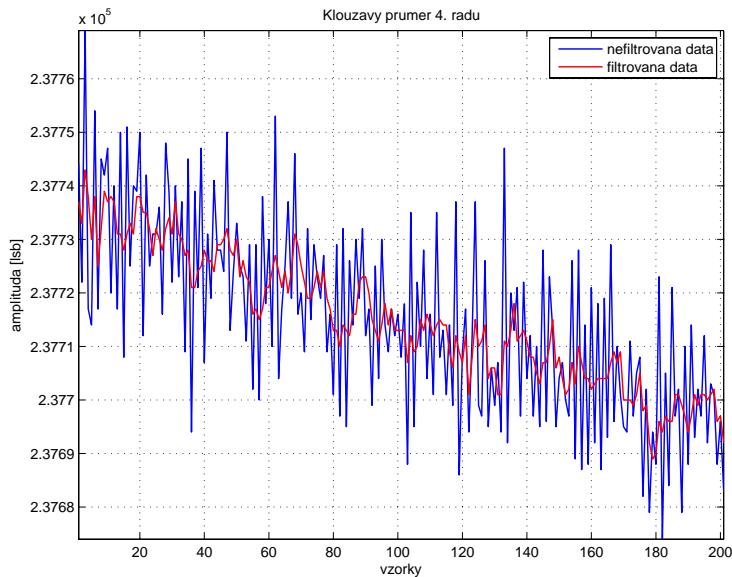
Po mírných úpravách kódu pro CPLD byl kód použitelný i pro FPGA. Průběhy řídicích a SPI signálů pro A/D a D/A převodníky na obr. 4.13, 4.14 se shodují s průběhy, které generuje FPGA. Totéž platí i pro vygenerované obdélníkové průběhy

<sup>2</sup>JTAG řetězec je sériové zapojení obvodů s JTAG rozhraním. Výstup TDO předcházejícího obvodu je zapojen na vstup TDI následujícího obvodu. Na programovací kabel je pak zapojen první obvod svým vstupem TDI a poslední obvod svým výstupem TDO. Všechny obvody mají spojeny signály TCK a také signály TMS, které jsou přivedeny na programovací kabel.

### 30 KAPITOLA 5. POPIS MĚŘICÍHO OBVODU S MIKROPROCESOREM A FPGA

na obr. 4.15 a 4.16. Navíc se do FPGA podařilo bez větších problémů přidat průměrování změrených dat filtrem typu klouzavý průměr 2. a 4. řádu.

Na obr. 5.4 je ukázka filtrovaných a nefiltrovaných hodnot z A/D převodníku. Data po filtrování odpovídají očekávání a jejich správnost lze jednoduše ověřit např. v MATLABU.



Obrázek 5.4. Filtrování měřených dat klouzavým filtrem 4. řádu.

# Kapitola 6

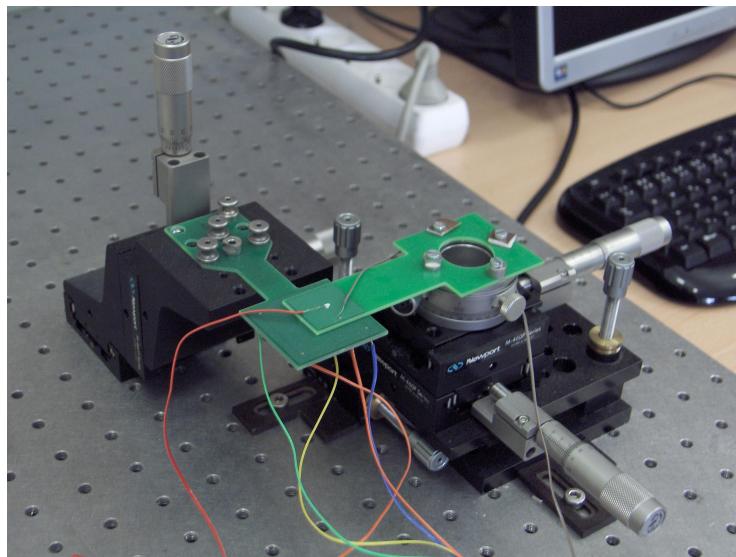
## Otestování měřicího obvodu

Funkčnost měřicího obvodu s FPFA byla otestována na dodaném kapacitním senzoru. Senzor byl připevněn k mikropolohovacímu stolku, který umožňuje posun ve třech osách s přesností 0,001 mm, viz obr. 6.1. Měření polohy bylo zaměřeno na linearitu a dosažitelnou přesnost. Kapacitním senzorem byl měřen posun v jedné ose o 0,2 mm s krokem 0,01 mm.

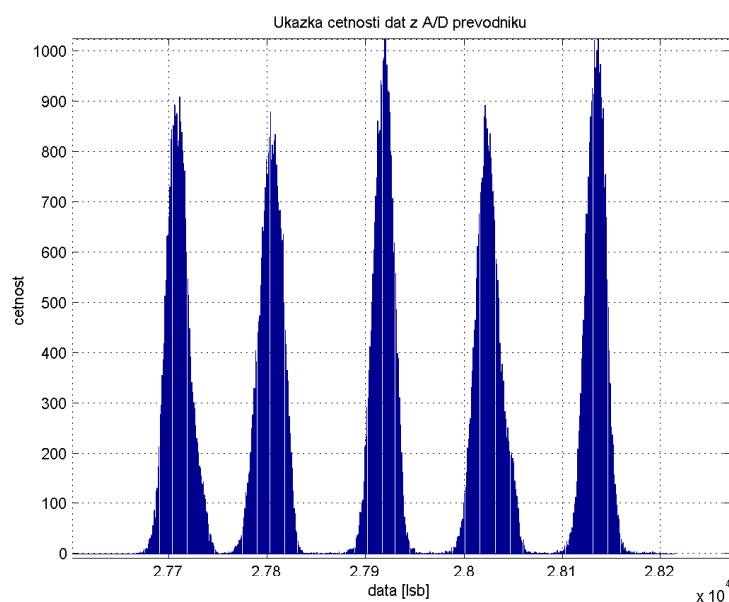
Výsledný průběh měření polohy je na obr. 6.3. Průběh je téměř ideální, malé odchylky od linearity jsou s největší pravděpodobností způsobené nepřesným nastavením polohy na polohovacím zařízení. Měření bylo prováděno s krokem 0,01 mm. Se stávajícím zařízením by bylo možno měřit s přesností až 0,005 mm, viz obr. 6.2.

Pro dosažení ještě vyšší přesnosti, v ideálním případě až 0,001 mm, by bylo třeba provést několik úprav stávajícího zařízení, např.

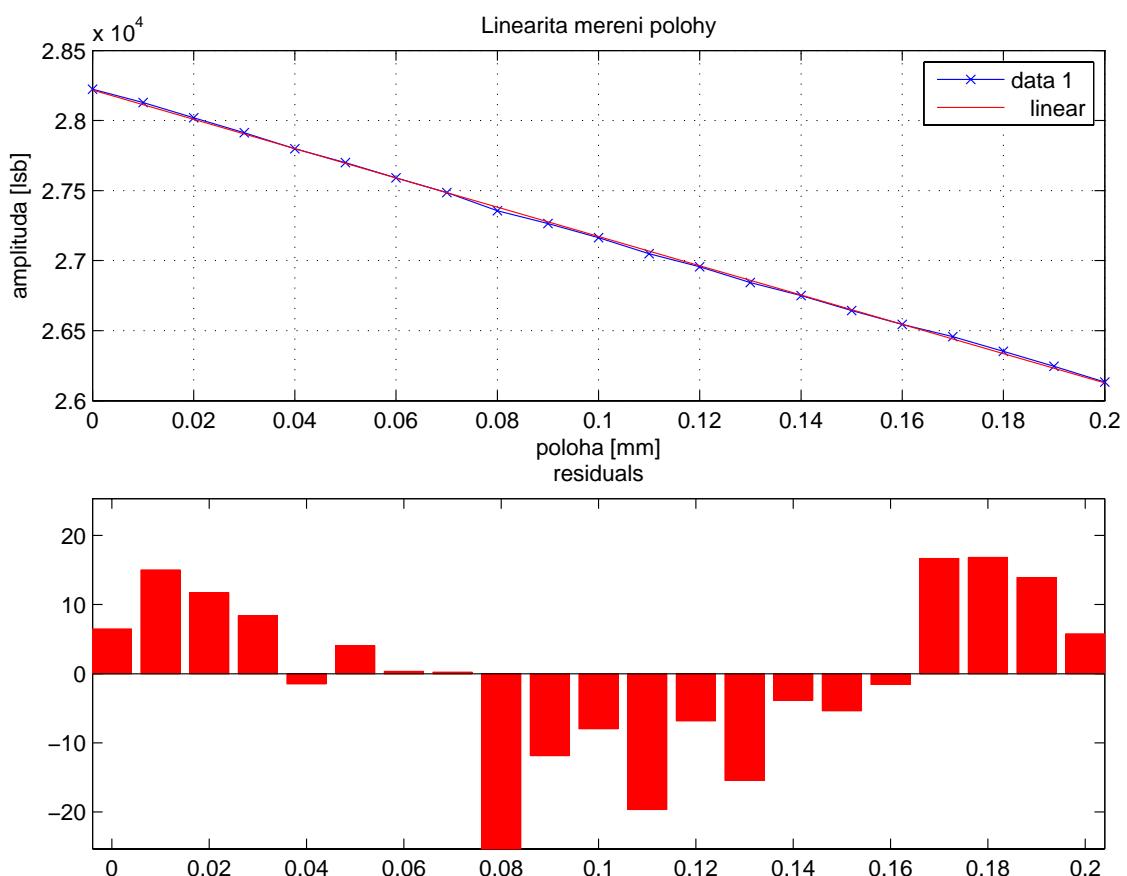
- umístit analogové obvody přímo na kapacitní senzor (nepřipojovat je ke kapacitnímu senzoru pomocí dlouhých vodičů),
- použít dva nebo tři operační zesilovače pro osledování signálu z měřicí elektrody a jejich výstup scítat, tím lze jednoduše zlepšit poměr odstupu signál šum, viz např. [4],
- napájet analogové obvody kvalitnějšími stabilizátory napětí.



Obrázek 6.1. Polohovaci stolek pro mikroposuvy.



Obrázek 6.2. Ukázka četnosti dat z A/D převodníku.



Obrázek 6.3. Linearita měření posuvu.

# Kapitola 7

## Závěr

Diplomová práce se zabývá návrhem a testováním procesorového systému pro buzení a vyhodnocení kapacitního senzoru polohy. Největší část byla věnována aplikacím s hradlovými poli. Největší přínos použití hradlových polí je v menším zatížení mikroprocesoru komunikací s A/D a D/A převodníky, možnost generování a předzpracování dat.

V první variantě vyvíjeného procesorového systému pro buzení a vyhodnocení kapacitního senzoru komunikovaly A/D a D/A převodníky přímo s mikroprocesorem.

V druhé variantě vyvíjeného procesorového systému pro buzení a vyhodnocení kapacitního senzoru polohy bylo pro komunikaci mezi mikroprocesorem a A/D a D/A převodníky použito CPLD XC95288XL. CPLD z paralelně načtených dat z mikroprocesoru generovalo data pro dva dvoukanálové D/A převodníky, jejichž výstupy jsou připojeny na budicí elementy kapacitního senzoru. Současně také vyčítalo data z A/D převodníku, které paralelně předávalo do mikroprocesoru. Změřená data z A/D převodníku jsou velmi zašuměná, proto bylo třeba rozšířit činnost CPLD o filtrování změrených dat, což se nepodařilo pro omezený počet makrobuňek v CPLD.

Ve třetí a zatím poslední variantě procesorového systému pro buzení a vyhodnocení kapacitního senzoru polohy je místo CPLD použito FPGA. Činnost FPGA je shodná s činností CPLD, tzn. FPGA komunikuje po SPI s A/D a D/A převodníky, generuje data pro D/A převodníky a realizuje paralelní přenos dat z/do mikroprocesoru. Navíc FPGA umožňuje filtraci změrených dat. Tuto verzi desky lze navíc rozšířit o druhý kapacitní senzor.

Funkčnost měřicího obvodu s FPGA byla otestována na dodaném kapacitním senzoru. Měření bylo zaměřeno na linearitu a dosažitelnou přesnost. Pomocí kapacitního senzoru byl měřen posun v jedné ose o 0,2 mm s krokem 0,01 mm. Výsledný průběh závislosti změny polohy na změně kapacity je téměř ideální, malé odchylky

od linearity jsou s největší pravděpodobností způsobené nepřesným nastavení polohy na polohovacím zařízení. Měření bylo prováděno s krokem 0,01 mm. Se stávajícím zařízením, tzn. připojování analogových obvodů ke kapacitnímu senzoru pomocí dlouhých vodičů, použití jednoho operačního zesilovače pro osledování signálu z měřicí elektrody, napájení analogových obvodů nekvalitními stabilizátory napětí, by bylo možno měřit s přesností až 0,005 mm. Pro dosažení vyšší přesnosti, až 0,001 mm, je třeba nejprve vyřešit výše popsané problémy. Po jejich odstranění bude možné měřit polohu s požadovanou přesností.

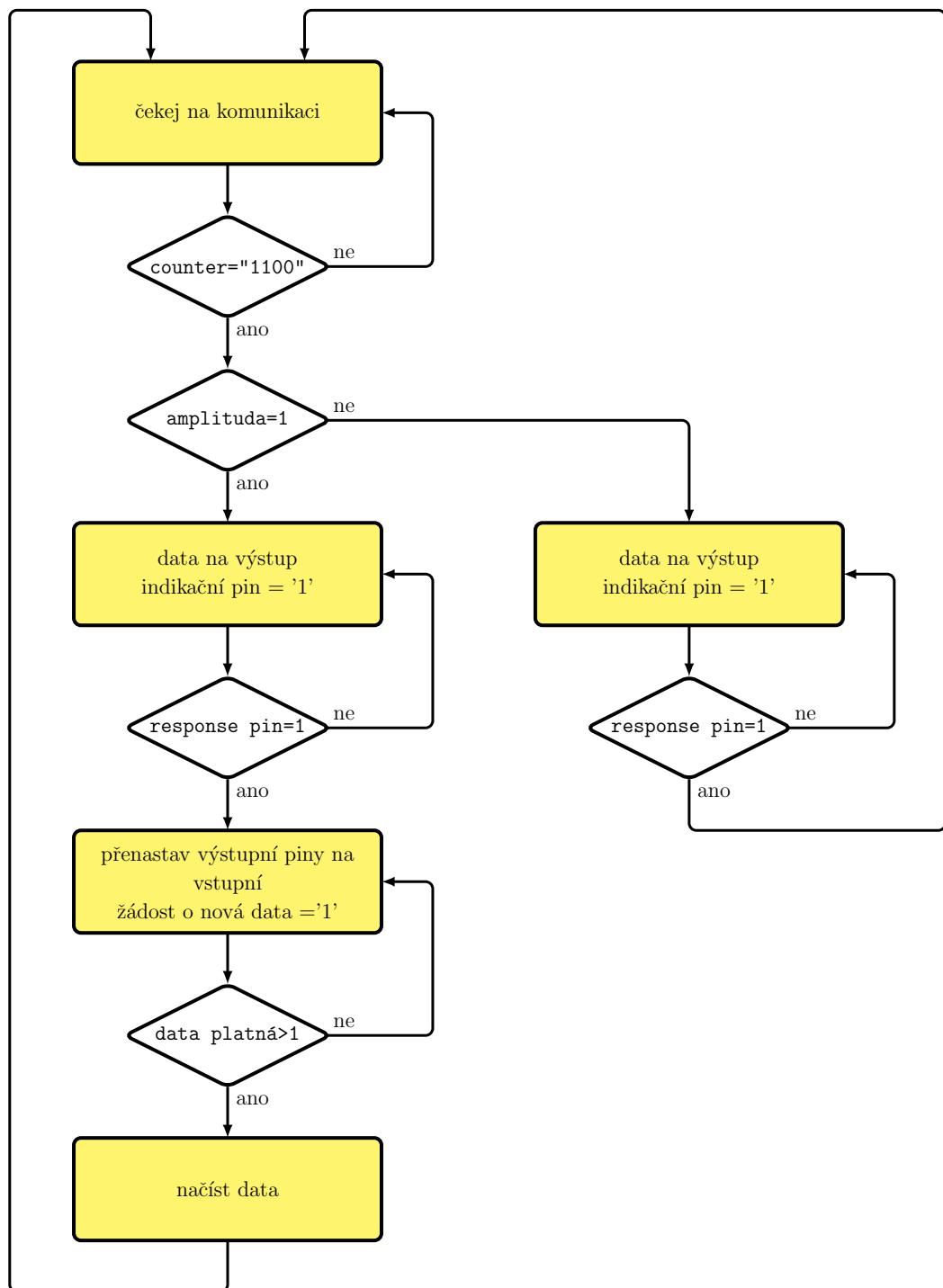
# Literatura

- [1] ALTPETER, F. *Friction modelling, identification and compensation*. PhD Thesis, École Polytechnique Fédérale de Lausanne, 1999.
- [2] ANDERLE, M. *Měřicí obvod pro rozdílový kapacitní snímač*. Bakalářská práce, Katedra řídicí techniky FEL ČVUT, 2006.
- [3] BREGUET, J.-M.; CLAVEL, R. *Stick and Slip Actuators: design, control, performances and applications*. International Symposium on Micromechatronics and Human Science, 1998.
- [4] HAVLENA, V. *Odhadování a filtrace (doplňkové skriptum)*. 1. vyd., 74 str. Praha: Vydavatelství ČVUT, 2002. ISBN 80-01-02587-X.
- [5] HOLUB, O.; CIMPŘICH, T.; FERREIRA, A.; HURAK, Z.; BREGUET, J.-M. *Dynamical Modelling and Position Control of Ultrasonic Piezoelectric Positioning Stage*. IEEE Ultrasonics Symposium, 2006.
- [6] RICHTR, J. *Číslicový systém pro řízení piezoelektrických motorů*. Diplomová práce, Katedra řídicí techniky FEL ČVUT, 2008.
- [7] *AD5545 precision, Dual, 16-Bit DAC*. ANALOG DEVICES. [http://www.analog.com/UploadedFiles/Data\\_Sheets/AD5545\\_5555.pdf](http://www.analog.com/UploadedFiles/Data_Sheets/AD5545_5555.pdf) [cite 2008-05-20].
- [8] *AD7982 18-Bit, 1 MSPS PulSAR ADC*. ANALOG DEVICES. [http://www.analog.com/UploadedFiles/Data\\_Sheets/AD7982.pdf](http://www.analog.com/UploadedFiles/Data_Sheets/AD7982.pdf) [cite 2008-05-20].
- [9] *Základová deska MB-S2-150-PQ208 v1.4*. PK DESIGN. Uživatelský manuál. [http://www.pk-design.net/Datasheets/Zakladova\\_deska\\_S2\\_150\\_PQ208\\_v14.pdf](http://www.pk-design.net/Datasheets/Zakladova_deska_S2_150_PQ208_v14.pdf) [cite 2008-05-20].
- [10] *DAC8871 High Voltage Bipolar, Single, 16-Bit DAC*. TEXAS INSTRUMENTS. <http://focus.ti.com/lit/ds/symlink/dac8871.pdf> [cite 2008-05-20].

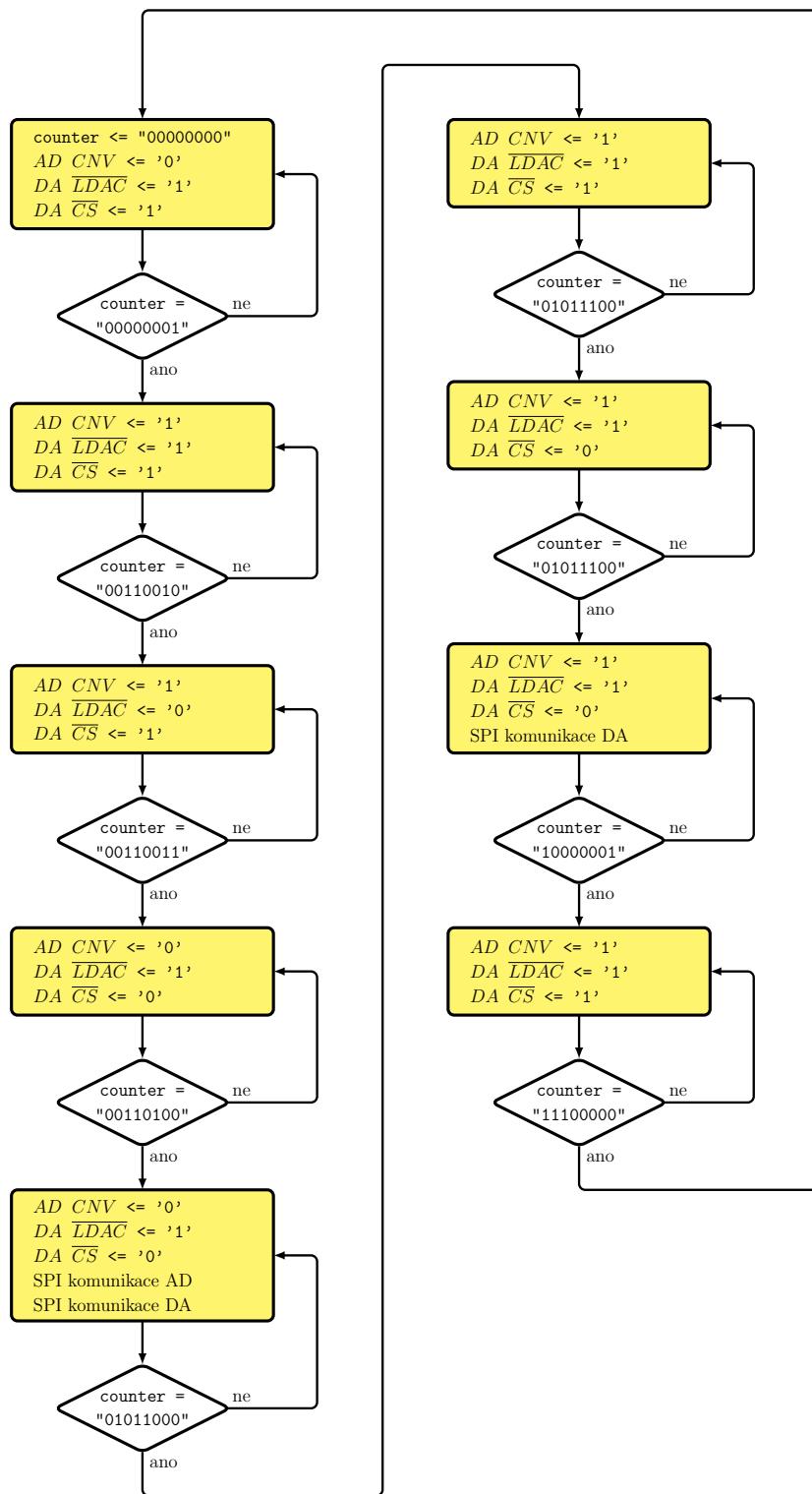
- [11] *Spartan-II 2.5V FPGA Family*. XILINX. <[http://www.xilinx.com/support/documentation/data\\_sheets/ds001.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds001.pdf)> [cite 2008-05-20].
- [12] *XC18V00 Series In-System-Programmable Configuration PROMs*. XILINX. <[http://www.xilinx.com/support/documentation/data\\_sheets/ds026.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds026.pdf)> [cite 2008-05-20].
- [13] *XC9500XL High-Performance CPLD Family Data Sheet*. [online] XILINX. <[http://www.xilinx.com/support/documentation/data\\_sheets/ds001.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds001.pdf)> [cite 2008-05-20].
- [14] *Bio-inspired assembly (the EU Golem project)* [online]. <<http://www.golem-project.eu/>> [cite 2008-05-28].

## Dodatek A

### Vývojové diagramy



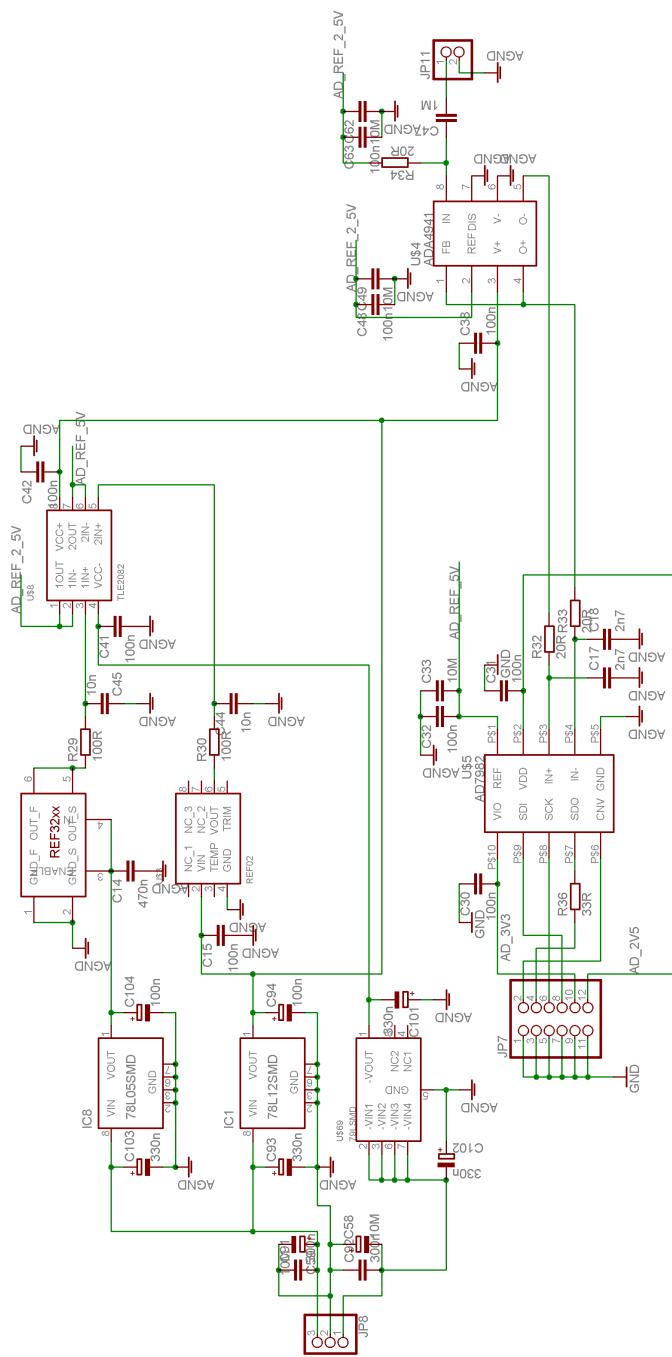
Obrázek A.1. Vývojový diagram popisující komunikaci mezi hradlovým polem a mikroprocesorem.



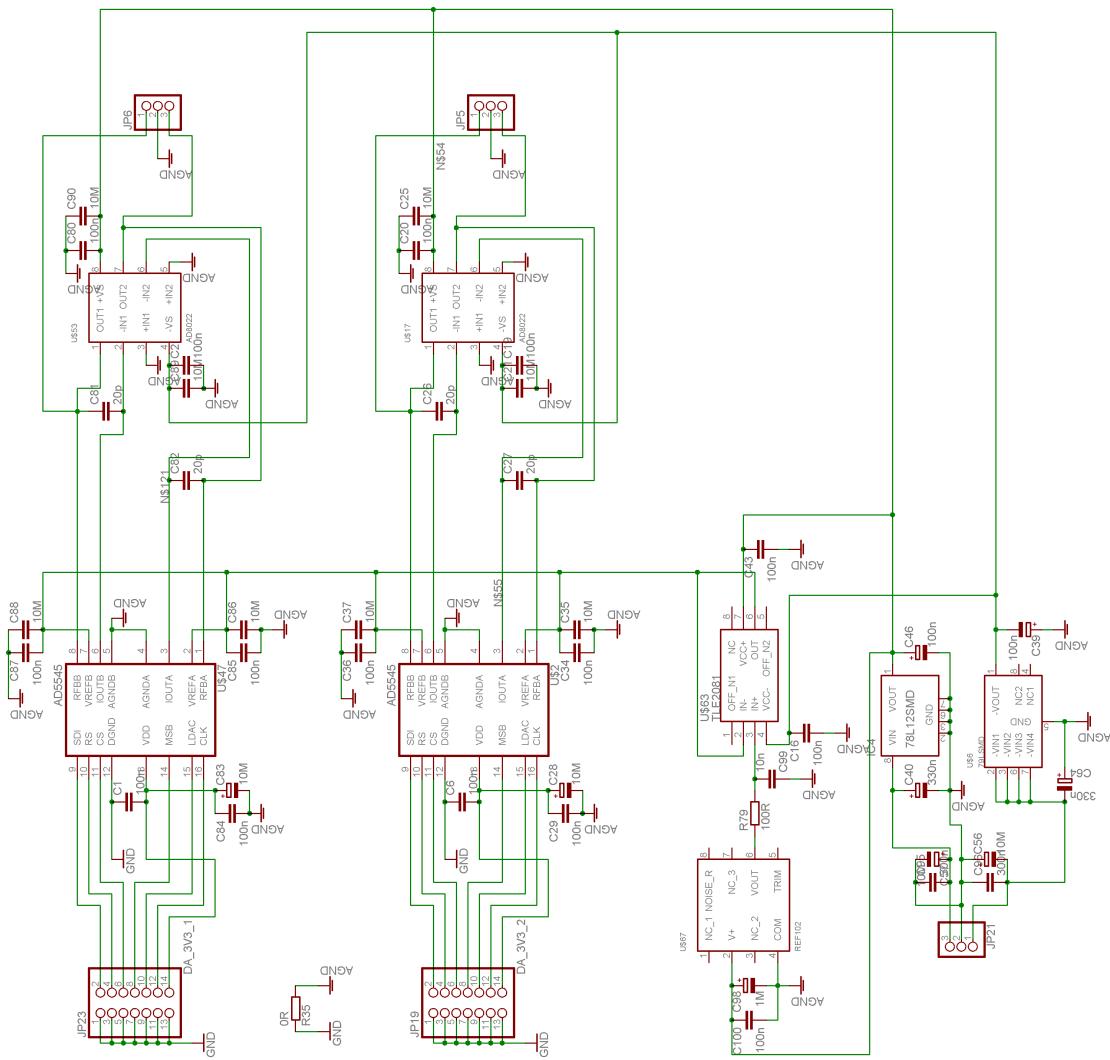
Obrázek A.2. Vývojový diagram pro ovládání řídicích a SPI signálů.

## Dodatek B

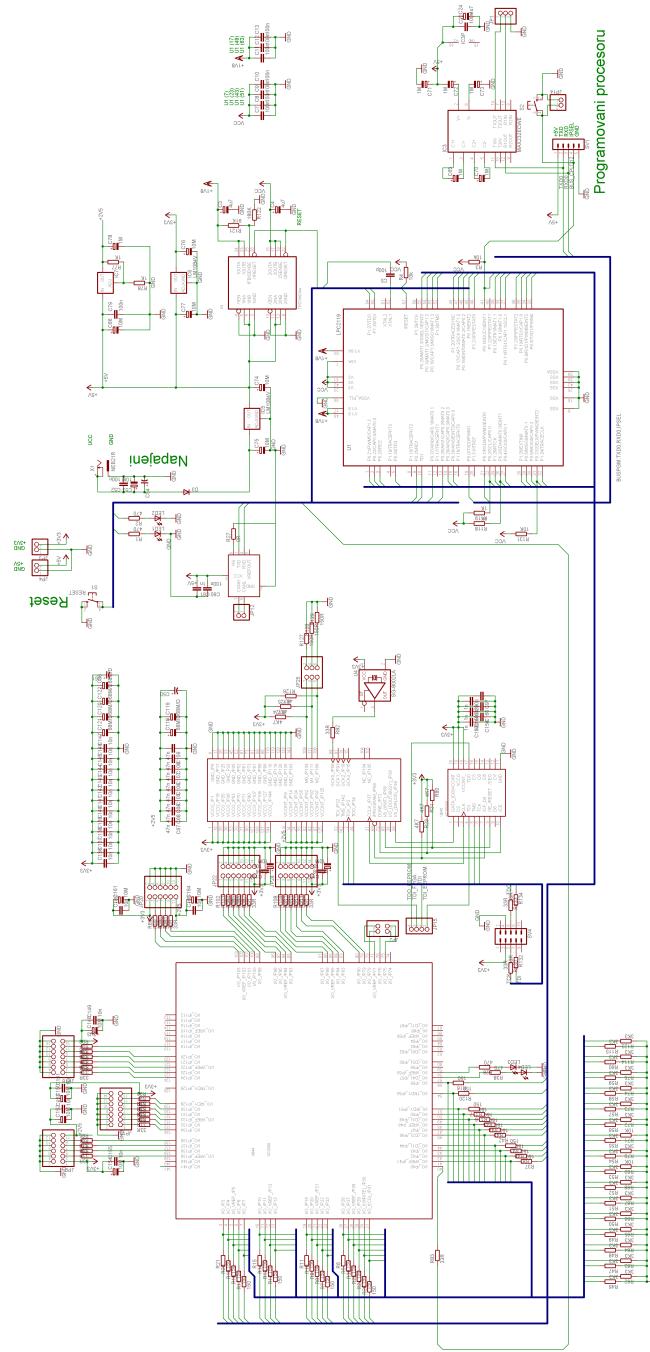
### Schéma zapojení



Obrázek B.1. Schéma zapojení destičky s A/D převodníkem.



Obrázek B.2. Schéma zapojení destičky s D/A převodníkem.



Obrázek B.3. Schéma zapojení destičky s FPGA a mikroprocesorem.