

3. 11. 2010

Prof. Ing. Radimír Vrba, CSc.  
ponent  
Ústav mikroelektroniky FEKT VUT  
Technická 10, 616 00 Brno

## Posudek oponenta disertační práce

Doktorand: **Ing. Roman Bartosiński**

Název práce: **Implementation Methods of LD-RLS with Directional Forgetting for Embedded Systems on a Chip**

Předložená disertační práce se zabývá významnou a aktuální tématikou podpory zabudovaných systémů na čipu implementací rekurzivní metody nejmenších čtverců, založené na dekompozici se směrovým zapomínáním. Práce má poměrně značný rozsah 161 stran, z nichž je 7 stran příloh. Práce je rozčleněna do šesti hlavních kapitol a obsahuje 6 stran odkazů na cizí literaturu a 24 odkazů na vlastní publikace.

### A. Zvolené téma

Předložená práce se týká implementace rekurzivní metody nejmenších čtverců (RLS), založené na dekompozici LDU se směrovým zapomínáním (DF), zatímco stávající implementace adaptivních algoritmů vycházejí zpravidla z metody nejmenších čtverců (LMS) pro její jednoduchost a výpočetní nenáročnost. Na druhé straně rekurzivní metoda nejmenších čtverců RLS se používá poměrně málo, protože je výpočetně náročná, avšak mechanismus LD-RLS může být zajímavý v oblasti řízení ve fázi identifikace systému nebo při zjišťování parametrů, proměnných v čase.

Práci lze považovat za aktuální, neboť křísí metodu směrového zapomínání, která se v algoritmech rekurzivní metody nejmenších čtverců prakticky nepoužívá. Navíc umožňuje rozšířit možnosti nové platformy UTIA DSP.

Práce vychází z toho, že identifikace systému pomocí směrového zapomínání je mnohem robustnější i při slabém buzeném vstupu systému.

Námět disertační práce je plně kompatibilní s oborem disertace, což dokládá i řada titulů použité literatury z oboru řídicí techniky a robotiky, zejména z oblasti vestavných systémů.

### B. Cíle práce

Autor definoval celkem sedm základních cílů práce:

1. Shrnutí teoretického základu pro implementaci rekurzivní metody nejmenších čtverců založené na dekompozici LDU se směrovým zapomínáním,
2. Návrh struktury LD-RLS se směrovým zapomínáním mapovaný do architektury založené na systolických polích,
3. Rozšíření platformy UTIA DSP o funkce, které budou potřebné pro implementaci algoritmu LD-RLS se směrovým zapomínáním,
4. Efektivně implementovat LD-RLS se směrovým zapomínáním na platformu UTIA DSP,
5. Vylepšit metodologii implementace pro platformu UTIA DSP,
6. Vyvinout prostředky pro tuto vylepšenou metodologii,

7. Diskutovat možnosti použití platformy UTIA DSP ve vícejádrových systémech typu NoC (Network on Chip).

První cíl nelze brát vážně jako cíl. Po prostudování disertační práce mohu konstatovat, že všechny uvedené cíle byly splněny.

### C. Metody zpracování

Ing. Bartosiáski použil k dosažení uvedených cílů odpovídající metody. V kap. 2 provedl důkladný přehled stávajících metod pro RLS a přehled jejich implementace. Zaměřil se především na metodu směrového zapomínání jako rozšířené alternativy k metodě exponenciálního zapomínání. K ověření hypotézy vhodnosti metody řízeného zapomínání použil systolické pole jako možnou paralelní strukturu. V kap. 3 se zabývá přehledem adaptivních struktur, na kterých detailně demonstruje algoritmus založený na dekompozici LDU. To mu umožňuje posoudit jednotlivé adaptivní algoritmy navzájem mezi sebou.

Kapitola 4 obsahuje popis implementace LD-RLS algoritmu do dvou platform. Jednou vychází ze známého systolického pole, druhou je právě vytvořená platforma UTIA DSP. V této kapitole autor provádí a diskutuje implementaci LD-RLS algoritmu do vestavného (embedded) systému. Kap. 5 obsahuje sumarizaci výsledků teoretického rozboru úlohy, způsobů implementace a dosažených výsledků na základě rozboru a diskuse množství testů.

Použité metody mu umožnili splnit vytyčené cíle práce.

### D. Výsledky disertační práce

Výsledky disertační práce jsou uvedeny především v 5. a 6. kap. práce a její hlavní přínosy lze shrnout do následujícího výčtu:

- Jednoduchá metoda pro porovnání úspěšnosti adaptivních algoritmů respektující různé metody zapomínání spočívající v hledání optimálního faktoru zapomínání.
- Projekční prostředek (tool) pro implementaci algoritmů do platformy UTIA DSP.
- Automatické generování firmware pro platformu UTIA DSP a software pro host CPU.

Práce je bezesporu komplexním přínosem k problematice implementace složitých řídicích algoritmů (adaptivních, optimálních) do systému na čipu. Disertant prokázal velmi dobré teoretické znalosti. Závěry dokázal zobecnit a realizovat jako inženýrský prostředek pro automatické generování programu. Provedl celou řadu testů a jejich vyhodnocení a porovnal výsledky s teoretickými předpoklady.

### E. Význam pro praxi a další rozvoj vědy

Předložená disertační práce je převážně aplikačně orientovaná a bude právě pro aplikace přínosná. Výsledkem je také metodologie jak jednotně a tím spravedlivě posuzovat adaptivní algoritmy. Vytvořený nástroj pro automatickou implementaci metody DF-RLS je výborný výsledek. Je to "jen" program, ale na druhé straně je pěkně popsán stavovým diagramem na str. 70, 74, 75.

Dalším významným přínosem pro rozvoj oboru je vylepšování stávající platformy UTIA DSP ve formě základního výpočetního prvku (Basic Computing Element, ve zkratce BCE) jako ústřední motiv práce. Vytvořený generátor je dobrým generátorem, který generuje jak firmware pro DSP, tak programové vybavení pro spolupracující aplikační procesorovou jednotku.

Práce má konkrétní výstupy a dle mého názoru lze očekávat její bezprostřední praktické použití.

## F. Připomínky, námítky, dotazy

Ke kvalitně a poměrně pečlivě připravené práci mám ještě několik připomínek, námitek a dotazů:

1. Vysvětlení akronymů a symbolů na str. XVII a XVIII je neúplné. Například jsem nikde nenašel QR, LU, LDU, UDL. Použití zkratek a akronymů je až nadbytečné. V nadpisech kapitol je to přímo barbarské (viz např. kap. 4.2.2, 4.2.3, 4.3.9), o názvu práce ani nemluvě.
2. Ne vždy je v textu, obrázcích a rovnicích plně respektována symbolika použitých proměnných veličin a konstant, viz např.  $y(k)$  a  $u(k)$  v rov. (3.1) a tytéž  $y(k)$  a  $u(k)$  v obr. 3.4. ad.
3. Chyba na str. 44 v kap. 3.6 Summary - hlavní část práce byla věnovaná metodě DF RLS a ne EF RLS.
4. Práce je určená zřejmě pro adaptivní regulátory postavené na jednočipových vestavných procesorech. Ty musejí být levné, a proto je použitý akcelerátor výkonu slabého levného procesoru, využívající rozbor adaptivních metod a jejich vyhodnocení implementovanou metodou nejmenších čtverců. Specifikujte proto omezení platformy UTIA DSP - časová, výkonnostní, cena, apod.

Přes uvedené výhrady a vyslovené dotazy lze potvrdit, že autor postupoval při řešení zvoleného problému systematicky a uváženě a že zvolil vhodné a správné metody zpracování.

## G. Shrnutí

Předložená disertační práce má velký význam pro aplikačně technickou praxi a pro další rozvoj příslušné oblasti vestavných systémů. Práce splňuje podmínky samostatné vědecké práce, obsahuje původní výsledky, které autor publikoval v dostatečném počtu publikací: 2 články v časopisech, 14 článků na oponovaných a mezinárodních a tuzemských konferencích a v 8 nerecenzovaných článcích, aplikačních listech a licencovaném programovém vybavení. Postrádám však alespoň několik publikovaných článků v časopisu s nenulovým impaktním faktorem, i když to není podle stávajících pravidel povinné. Kvalitní dosažené výsledky by si takové publikace skutečně zasloužily.

Uchazeč předloženou prací prokázal, že je obeznámen s řešenou problematikou a že pečlivě prostudoval dostupnou literaturu. Práce je stavěna logicky a problémy jsou popisovány a řešeny postupně. Dosažené výsledky znamenají nesporný přínos k řešené problematice podpory zabudovaných systémů na čipu implementací rekurzivní metody nejmenších čtverců, založené na dekompozici se směrovým zapomínáním. Velmi kladně hodnotím fundované využití matematického aparátu při popisu řešeného problému.

V oponované práci nejsou patrný zásadní chyby teoretického charakteru a podstatné nedostatky. Práce je kvalitní a má nesporný význam pro oblast řešení. S uspokojením mohu konstatovat, že disertant vyhověl požadavkům § 47, odst. 4) zákona č. 111/98 Sb. a článku 32, odst. 1 Studijního a zkušebního rádu pro studenty ČVUT v Praze.

**Disertační práci Ing. Roman Bartosińskiho *Implementation Methods of LD-RLS with Directional Forgetting for Embedded Systems on a Chip* proto doporučuji k obhajobě.**

V Brně dne 19.11.2010



