České vysoké učení technické v Praze
Fakulta elektrotechnická
Katedra řídicí techniky

DIPLOMOVÁ PRÁCE

Číslicový systém pro řízení piezoelektrických motorů

Jiří Richtr

2008

České vysoké učení technické v Praze
Fakulta elektrotechnická

Katedra řídicí techniky

ZADÁNÍ DIPLOMOVÉ PRÁCE

Student: **Bc. Jiří Richtr**

Studijní program: **Elektrotechnika a informatika (magisterský), strukturovaný**
Obor: **Kybernetika a měření, blok KM1 - Řídicí technika**

Název tématu: **Číslicový systém pro řízení piezoelektrických motorů**

Pokyny pro vypracování:

1. Seznamte se s problematikou řízení piezoelektrických motorů.
2. Navrhněte číslicový systém pro řízení piezoelektrického motoru.
3. Otestujte navržený systém na dodaném motoru.

Seznam odborné literatury:

Dodá vedoucí práce

Vedoucí: Ing. Ondřej Holub

Platnost zadání: do konce zimního semestru 2008/2009

prof. Ing. Michael Šebek, DrSc.
vedoucí katedry

L.S.

doc. Ing. Boris Šimák, CSc.
děkan

V Praze dne 10. 9. 2007

Prohlášení

Prohlašuji, že jsem svou diplomovou práci vypracoval samostatně a použil jsem pouze podklady (literaturu, projekty, SW atd.) uvedené v přiloženém seznamu.

V Praze dne 23. 5. 2008 .....

podpis

Poděkování

Děkuji vedoucímu diplomové práce Ondřeji Holubovi za trpělivé vedení, Markovi Pecovi za cenné rady zkušeného programátora a Petrovi Augustovi za pomoc při sazbě tohoto textu.

Anotace

Měření velmi malých změn polohy vyvolaných pohybem piezoelektrických motorů si žádá jednak značnou citlivost zařízení, protože velikost jednoho kroku piezomotoru se pohybuje ve zlomcích μm, jednak je třeba vysoké rychlosti vyhodnocení této změny, neboť kroky těchto aktuátorů mohou mít frekvenci až v řádu kHz. Tato diplomová práce má za cíl sestavit zařízení pro takováto měření s využitím kapacitního diferenciálního snímače buzeného modulovaným střídavým signálem. Číslicově vyhodnocená změřená data se mají přenášet pomocí standardizovaného rozhraní do PC nebo do navazující části řídicího systému. K řešení má být využit některý z běžně dostupných mikrokontrolérů a modulace budicího signálu se má provádět číslicově-analogovými převodníky.

Abstract

Measuring of very small position differences induced by moving of piezoelectric actuators needs appreciable sensitivity, because of small steps of these actuators (in range of fragment of μm), and high rate of data evaluation, in terms of kHz. This diploma thesis aims at developing measuring device with use of differential capacitive sensor actuated by modulated alteranting current signal. Digital processed data will be transferred by standardized interface to PC or to connected part of feedback control system. Control of device will be provided by one of commonly used microcontrollers. Driving signal will be generated by DACs.

Obsah

1 Úvod **1**

2 Rozdílový kapacitní snímač **3**

3 Řešení úlohy **5**

3.1 Výběr součástek 5

3.2 První podoba zařízení 8

3.2.1 Oživení prototypu zařízení 10

3.2.2 Měření na prototypu zařízení 13

4 Rozšíření o hradlové pole **17**

4.1 Volba obvodu 17

4.2 Řešení s CPLD 18

4.2.1 Oživení 2. verze zařízení 20

4.3 Řešení s FPGA 20

4.3.1 Oživení 3. verze zařízení 21

5 Popis firmware procesoru **23**

5.1 Komunikace s hradlovým polem 25

5.1.1 Definice rozhraní 25

5.1.2 Postup komunikace 25

5.2 Programové zpracování naměřených dat 27

5.3 Příprava dat pro Č/A převodník 31

6 Výsledky měření **32**

7 Závěr **38**

Literatura **40**

A Schéma zapojení **43**

B Schéma zapojení **44**

C Schéma zapojení **45**

Seznam obrázků

1.1 Ideová struktura buzení a vyhodnocení kap. snímače v jedné ose . . 2

2.1 Fotografie kapacitního snímače 4

3.1 Blokové schéma zařízení ve verzi pouze s mikroprocesorem 8
3.2 Schéma zapojení převodu proudového výstupu Č/A převodníku na napěťový 9
3.3 Fotografie první verze zařízení 10
3.4 Zapojení posouvacího členu před A/Č převodníkem 11
3.5 Histogram vadných dat vyčtených z A/Č převodníku 12
3.6 Převodní charakteristika A/Č převodníku AD7982 a jeho integrální nelinearita 14
3.7 Histogram dat vyčtených z A/Č převodníku pro měřené stejnosměrné napětí 14
3.8 Porovnání neupravovaných naměřených dat a dat filtrovaných klouzavým průměrem ze dvou vzorků 15

4.1 Blokové schéma zařízení ve verzi s hradlovým polem 19
4.2 Fotografie zařízení ve verzi s CPLD 19
4.3 Fotografie analogové části řešení s FPGA 22
4.4 Fotografie číslicové části řešení s FPGA 22

5.1 Vývojový diagram programu mikroprocesoru 24
5.2 Ukázka zarušeného signálu ze snímače 26
5.3 Programově zapsaný mediánový filtr 28
5.4 Programově zapsaný filtr typu nejmenší vzdálenost 29
5.5 Programově zapsaný filtr typu klouzavý průměr 29
5.6 Programově zapsaný filtr FIR 30

6.1 Histogram dat zpracovaných mediánovým filtrem 33

6.2 Histogram nefiltrovaných dat 33
6.3 Histogram dat zpracovaných filtrem typu nejmenší vzdálenost . . . 34
6.4 Časové průběhy stejnosměrné hodnoty nefiltrovaného signálu 35
6.5 Časové průběhy stejnosměrné hodnoty signálu filtrovaného filtrem typu nejmenší vzdálenost 36
6.6 Histogram dat zpracovaných klouzavým průměrem 36
6.7 Histogram dat zpracovaných filtrem FIR 37
6.8 Porovnání nefiltrovaných dat a dat zpracovaných filtrem FIR 37

A.1 Schéma zapojení první verze zařízení 43

B.1 Schéma zapojení druhé verze zařízení 44

C.1 Schéma zapojení třetí verze zařízení 46

Seznam tabulek

3.1 Význam a rozmístění komunikačních signálů 7

5.1 Význam a rozmístění komunikačních signálů 25

Kapitola 1

Úvod

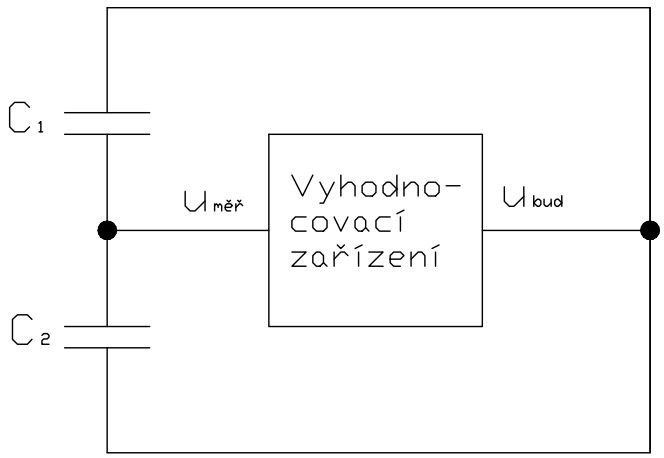
Tato diplomová práce vznikla jako součást výzkumného projektu řízení polohovacího stolku s piezomotory pro mikroskop. Rozsah pohybu stolku je 15 mm ve dvou osách. Kvůli zabudování do stávajícího komerčního mikroskopu nemá polohovací stolek vedení.

Problematika řízení piezoelektrických aktuátorů je již dobře popsaná např. v [3]. Úkolem tedy zůstává získání údaje o poloze s přesností odpovídající velikosti kroku *Stick-Slip*[1] motoru v reálném čase. Za těchto podmínek lze k měření používat interferometr, kameru s extrémně rychlým vyhodnocením nebo kapacitní snímač. Na našem pracovišti se z finančních důvodů používá kapacitní snímač.

Cílem této práce je tedy vytvoření systému pro vyhodnocení rozdílového kapacitního snímače polohy, který uzavře zpětnou vazbu v řídicí smyčce pro tyto aktuátory. Vyhodnocovací systém musí číslicově zpracovávat analogovou vstupní veličinu a z ní poskytovat údaj o měřené poloze. Úloha klade značné nároky na rychlost vyhodnocování.

Základní ideové schéma zařízení ukazuje obr. 1.1. Analogový výstup kapacitního snímače nám dává aktuální údaj o poloze, který ovšem je pro další použití třeba zpracovat. Snímač se budí střídavými signály. Měření se bude provádět ve dvou osách. Proto musí vyhodnocovací systém snímač budit signály s takovou fází, aby od sebe dokázal odlišit pohyb v jednotlivých osách.

[1] Přilnout-proklouznout; motory pracují na principu tření piezoelektrického materiálu o volně položený jezdec, kdy v první fázi pracovního cyklu koná piezomateriál i s přilnutým jezdcem pozvolný pohyb vyvolaný postupně rostoucím budicím napětím a ve druhé části cyklu se motor díky strmému poklesu napětí prudce vrátí do původní polohy a jezdec díky svojí setrvačnosti proklouzne, zůstávaje ve své poloze. Velikost jednoho kroku je ve zlomcích mikrometru.



Obrázek 1.1. Ideová struktura buzení a vyhodnocení kap. snímače v jedné ose

Napětí budící senzor musí být vzhledem k tomu, že jde o kapacitu, modulováno sinusovým nebo obdélníkovým signálem. Modulace se provede číslicově a pomocí Č/A převodníku převede na analogový signál, demodulaci z navzorkovaného a A/Č převodníkem zpracovaného signálu zajistí číslicová část zařízení.

Nároky na použité součástky jsou vzhledem k požadované rychlosti řádově desítek kS/s poměrně vysoké, zejména na výkon procesoru a rychlost převodníků, ale díky absolutní velikosti měřených veličin a požadované přesnosti také na rozlišení A/Č a Č/A převodníků.

Během vývoje se díky zjištěným omezením voleného postupu upřesňovaly specifikace úlohy a zamýšlený způsob realizace se zesložitil natolik, že se úloha rozdělila na dvě související diplomové práce. Zde se budeme zabývat nejprve genezí celého projektu, popíšeme si jednotlivá řešení v časovém sledu, jejich výsledky a důvody, proč se v dalším kroku vývoje zařízení rozšířilo. V paralelní práci je popsán způsob řízení analogové části zařízení, modulace výstupního signálu a předzpracování měřeného signálu z A/Č převodníku. Blíže v [1].

Nejprve si v následující kapitole podrobněji popíšeme samotný polohový snímač, třetí kapitolu věnujeme první verzi řešení úlohy a jejímu testování, ve čtvrté se zaměříme na následující řešení již s osamostatněnou částí pro komunikaci s analogovým rozhraním, pátá kapitola popíše programové vybavení mikroprocesoru a šestá vyhodnotí měření provedená na zařízení. V sedmé kapitole bude shrnutí výsledků celé diplomové práce.

Kapitola 2

Rozdílový kapacitní snímač

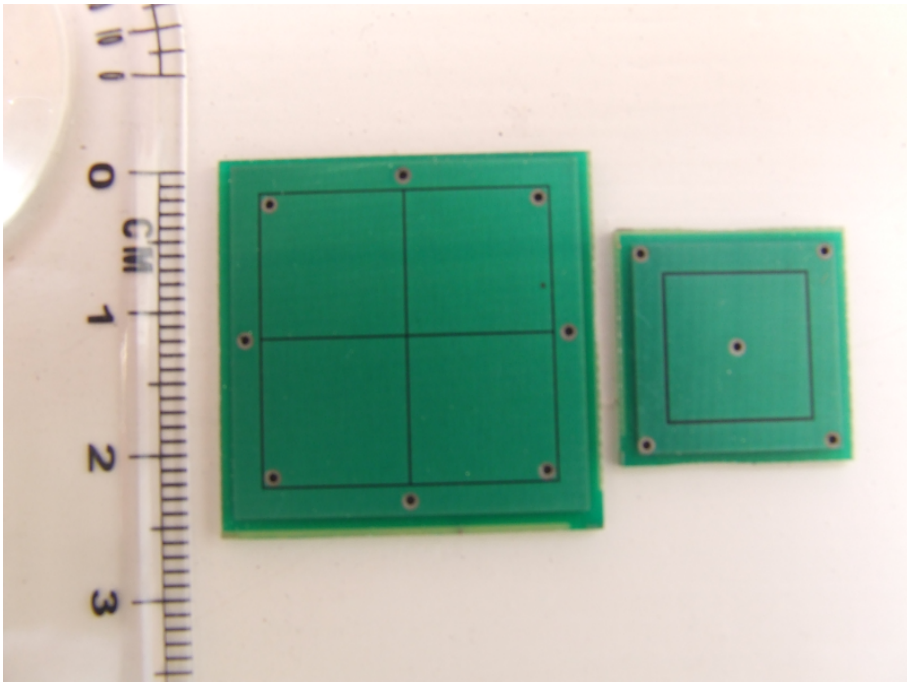
Rozdílový kapacitní snímač polohy, jak ho vidíme na obr. 2.1, je tvořen elektrodami budicími a elektrodou snímací. Na pevnou část polohovacího zařízení se umístí zpravidla budicí elektrody, na pohyblivou pak snímací. Při pohybu snímací elektrody nad jednotlivými budicími elementy dochází ke změně překrytí. Kapacita snímací elektrody vůči jednotlivým budicím elektrodám je dána jako

$$C_{\mathrm{i}}(x, y) = \epsilon \frac{(x_0 \pm x)(y_0 \pm y)}{d}, \tag{2.1}$$

kde ϵ je permitivita dielektrika mezi elektrodami, d je síla mezery, x_0, y_0 odpovídá základní poloze snímací elektrody a x, y značí vychýlení z této polohy. Pokud bude na budicích elektrodách různý střídavý signál, výsledný signál na elektrodě snímací bude záviset na míře, jakou bude překrývat jednotlivé budicí elementy. Budeme-li uvažovat snímač pro měření v jedné ose a buzení signály o stejné amplitudě U_{vst} a opačné fázi, dostaneme kapacitní napěťový dělič, u něhož je poměr vstupního napětí U_{vst} a výstupního $U_{\mathrm{výst}}$ dán

$$\frac{U_{\mathrm{výst}}}{U_{\mathrm{vst}}} = \frac{C_1 - C_2}{C_1 + C_2}. \tag{2.2}$$

Elektrody jsou tvořeny deskou poměděného laminátu používaného pro výrobu desek plošných spojů. Z jedné strany desky je měděná vrstva využita jako stínění, z druhé strany jako samotná plocha elektrod. Budicí elektrody jsou rozmístěny do čtyř kvadrantů tak, že každý kvadrant má vývod pro samostatné buzení. Snímací elektroda je tvořena jedinou ploškou mědi. Kvůli rozměrům snímače a z toho plynoucí jmenovité kapacity v řádu jednotek pF je zvolen způsob vyhodnocování podrobně vysvětlený v [2].



Obrázek 2.1. Fotografie kapacitního snímače

Problémem při vyhodnocování kapacitního snímače polohy o těchto parametrech je zejména rušení snímaného signálu. Zde se projeví zřejmě rušení síťovým kmitočtem a rušení od elektrických spotřebičů umístěných v blízkosti zařízení (zejména pulsních zdrojů).

Kapitola 3

Řešení úlohy

V této kapitole nejprve popíši výběr základních prvků vybraných pro řešení úlohy. Pak se budu věnovat stavbě prvního testovacího prototypu zařízení a následně vyhodnotím měření provedená na tomto prototypu.

3.1 Výběr součástek

Měřítky pro volbu součástek byly zejména jejich parametry, ať už výpočetní výkon u procesoru, rozlišení a vzorkovací kmitočet u A/Č a Č/A převodníků, zaručená časová stabilita u napěťových referencí, ale také dostupnost těchto součástek, a to jak v obchodní síti v naší zemi, tak i jako vzorky pro vývoj zasílané zdarma výrobcem.

Za hlavní stavební prvek byl zvolen procesor architektury ARM7TDMI-S výrobce NXP Semiconductors s označením LPC2119 [4]. Jedná se o 32-bitový RISC mikrokontrolér s 16 kB statické paměti RAM, 128 kB Flash ROM s podporou ISP[1] a IAP[2], dvěma rozhraními UART[3], 2 pro nás zvláště žádanými rozhraními SPI[4], sériovým rozhraním I^2C, dvěma časovači, 4-kanálovým 10-bitovým A/Č převodníkem a řadou dalších periférií. Procesor je umístěn v 64-vývodovém pouzdře LQFP určeném pro povrchovou montáž. Hned na počátku bylo stanoveno, že rozlišení vestavěného

[1] *In-System Programming*, způsob programování obvodu bez vyjmutí ze zařízení, ale s nutností pozastavit výkon aplikace

[2] *In-Application Programming*, způsob programování obvodu bez vyjmutí ze zařízení a bez nutnosti pozastavit výkon aplikace

[3] *Universal Asynchronous Receiver/Transmitter*, rozhraní výhodné pro výměnu dat s PC.

[4] *Serial Peripheral Interface*, sériové rozhraní pro komunikaci s periferiemi. Vybavuje se jimi zejména řada rychlých A/Č a Č/A převodníků.

A/Č převodníku je pro naši aplikaci nedostatečné, proto se využije externí A/Č převodník.

Hlavní kritérium, tedy očekávaný výpočetní výkon přibližně 60 MIPS[5], je u tohoto procesoru splněno, ačkoli pro jeho starší verzi, použitou v tomto stupni řešení úlohy, představuje tato hodnota horní hranici možností. Významnou předností procesoru LPC2119 je také jeho široké nasazení na pracovišti, tedy i dobrá podpora v podobě hotových programových rutin a znalost jeho nedostatků, které dokáží komplikovat ladění aplikace. Tato výhoda se postupně několikrát velmi osvědčila.

Další vybíranou součástkou byl A/Č převodník. Od něho se očekávalo rozlišení nejméně 16 bitů, vzorkovací kmitočet alespoň 200 kS/s, sériové komunikační rozhraní. Důležitou požadovanou vlastností bylo, aby převodník disponoval bipolárním vstupem schopným vzorkovat střídavý signál v obou polaritách. Tato vlastnost byla ale nakonec upozaděna kvůli jiným parametrům, protože ačkoli se takový převodník ve škále obvodů, z nichž výběr probíhal, vyskytoval, ostatními parametry za zbytkem převodníků daleko zaostával. Jak se podařilo tento nedostatek následně obejít, bude popsáno níže. Volba tedy padla na převodník firmy Analog Devices, značený jako AD7982. Jeho rozlišení je 18 bitů, čemuž na 5V rozsahu odpovídá napěťový krok pro 1 LSB[6] 19,075 μV. Vzorkovací rychlost převodníku je 1 MS/s a je vybaven rozhraním SPI. Tento převodník je založen na principu PulSAR®. Jedná se o převodník s postupnou aproximací, kde je ve vnitřní struktuře zabudován Č/A převodník s binárně váženými kapacitory, připojenými na vstup komparátoru. Podrobněji o struktuře obvodu v datovém listu zde [5].

Převodník AD7982 je vybaven unipolárním rozdílovým vstupem. Jeho měřicí rozsah je $(0-5)$ V, a to mezi vstupními svorkami a nezávisle na potenciálu zemnící svorky obvodu. Výrobce v datovém listu uvádí jako příklad aplikaci tohoto převodníku s rozdílovým nízkošumovým budičem pro A/Č převodníky ADA4941 [6], jehož použití se dále v našem zařízení ukázalo jako nezbytné.

Výběr Č/A převodníku pro generování signálu budícího senzor probíhalo podle kritérií nastavených podobně jako u A/Č převodníku. Požadované rozlišení by mělo být shodné s A/Č převodníkem , vzorkovací kmitočet nejméně 200 kS/s, sériové komunikační rozhraní, bipolární výstup. Všem těmto požadavkům vyhověl nejlépe převodník opět téhož výrobce s označením AD5545.

AD5545 je dvoukanálový, bipolární, 16-bitový Č/A převodník s proudovým výstupem, pracující na vzorkovacím kmitočtu až 2 MS/s, umožňující rozkmit signálu

[5] *Million Instructions Per Second*, počet instrukcí provedených procesorem za jednu sekundu v milionech; orientační vyjádření výpočetního výkonu procesoru

[6] *Last Significant Bit*, bit s nejnižším významem, zde nejmenší krok převodníku

na výstupech až ±15 V. Je opět vybaven rozhraním SPI. Pro získání napěťového signálu z převodníku uvádí výrobce v datovém listu [7] příklad zapojení s vnějším operačním zesilovačem. Naší aplikaci nejlépe vyhověl dvoukanálový, nízkošumový, rychlý operační zesilovač firmy Analog Devices AD8022 [8].

Za zmínku stojí ještě výběr napěťových referenčních zdrojů pro oba převodníky. Tyto součástky shrnuje i s jejich parametry tab. 3.1.

Označení obvodu	Výstupní napětí [V]	Udávaná dlouhodobá stabilita [ppm/1000 h]	Udávaný teplotní drift v intervalu $0°\,C \leq T \leq +70°\,C$ [ppm/° C]
REF3225	2,5 V	55	7
REF02	5 V	–	65
REF102	10 V	50	5

Tabulka 3.1. Význam a rozmístění komunikačních signálů

Na ostatní použité součástky nebyly kladeny zvláštní požadavky, a tak jejich výběr probíhal pouze podle dostupnosti v obchodech.

Pro úplnost se zmiňme o v pozdějším řešení použitém obvodu CPLD[7] od firmy Xilinx, konkrétně použitém typu XC95288XL [12], a v poslední realizaci zařízení umístěném obvodu FPGA[8] s označením XC2S50 téhož výrobce a k němu příslušná paměť XC18V01. Použití obou obvodů v aplikaci je podrobně rozebráno v [1], proto se jím zde nebudeme zabývat. Pouze v příslušné kapitole se zmíníme o komunikaci procesoru s těmito obvody.

[7] *Complex Programmable Logic Device*, tzv. hradlové pole umožňující implementaci kombinačních nebo sekvenčních logických obvodů.

[8] *Field-Programmable Gate Array*, zjednodušeně řečeno větší a výkonnější varianta CPLD.

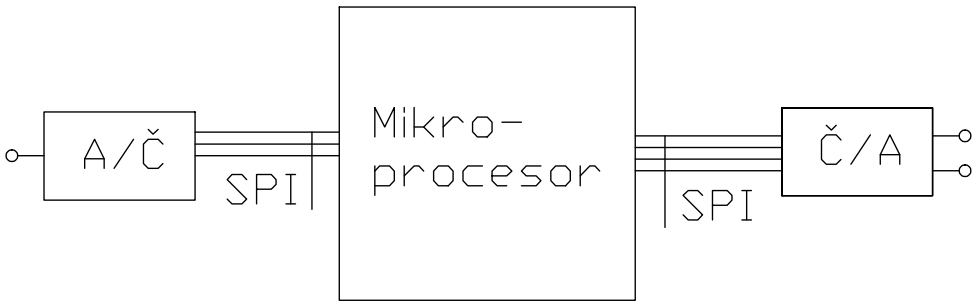
3.2 První podoba zařízení

Pro návrhy plošných spojů se na pracovišti používá výhradně systém Eagle ve verzi 4.13. Pro naši aplikaci nebyla shledána žádná zásadní omezení tohoto návrhového systému, stejně jako pro plošné spoje v dalších krocích vývoje zařízení, takže veškeré plošné spoje v rámci naší úlohy jsou vytvořené ve zmíněném návrhovém systému.

V první fázi stavby zařízení byla pozornost zaměřena především na zprovoznění komunikace s A/Č a Č/A převodníky rozhraním SPI, otestování jejich vhodnosti pro použití v této aplikaci a provedení prvních měření na kapacitním snímači. Návrh zařízení se provedl tak, aby bylo možno korigovat jeho případné nedostatky, tzn. že například nebyly přímo na desce plošného spoje umístěny napěťové reference pro Č/A převodník, aby bylo možno měnit rozsah výstupního napětí podle zjištění o chování senzoru při testovacích měřeních. Rozsah bylo zamýšleno měnit změnou reference místo pouhé změny vstupního číslicového kódu do převodníku, aby se zbytečně neztrácela citlivost na daném rozsahu.

V této verzi ještě nebyl do zapojení umístěn budič rozdílového vstupu analogově-číslicového převodníku ADA4941, protože při předběžné úvaze se jevilo jako dostačující připojit výstup snímače přímo na vstup převodníku. Takové zapojení se později ukázalo být prakticky nefunkční.

Blokové schéma na obr. 3.1 naznačuje, že každý z převodníků byl připojen na zvláštní kanál SPI procesoru.



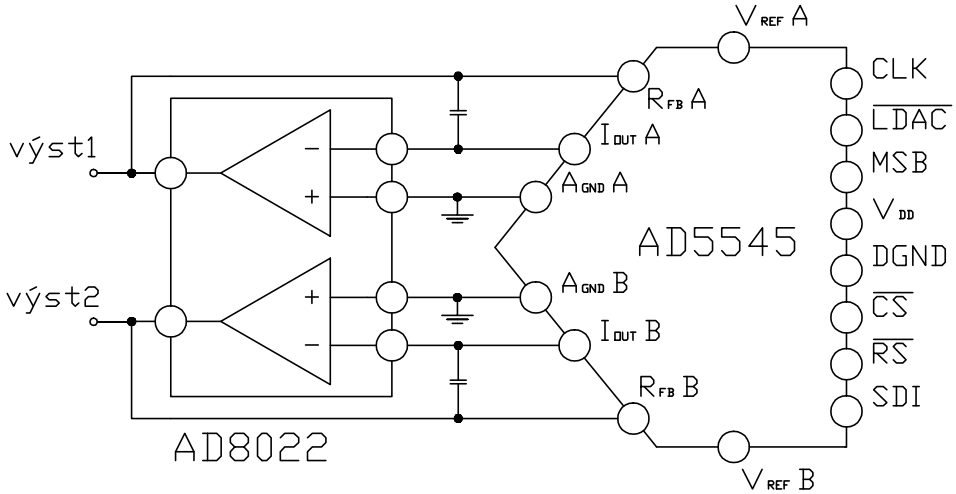
Obrázek 3.1. Blokové schéma zařízení ve verzi pouze s mikroprocesorem

Záměrem bylo vytěžovat tyto periférie mikroprocesoru rovnoměrně i při rozšíření zařízení o další převodníky a nemusel se v této nejjednodušší verzi řešit výběr právě

komunikujícího zařízení na sběrnici pomocí funkce zvané *Chip Select*[9].

K napěťovému referenčnímu vstupu A/Č převodníku je připojen výstup obvodu REF02, takže rozsah vstupních napětí je tím nastaven na mezi přípustnosti pro převodník, tedy na +5 V. Je to tak proto, že se buzení předpokládalo signálem o amplitudě 10 V a bylo předem ověřeno, že výsledná amplituda signálu na snímací elektrodě senzoru je nižší než amplituda budicích signálů. Pro napájení jádra převodníku je třeba napětí 2,5 V, tak se zde nabídlo jako řešení použít napěťovou referenci REF3225 a za ní připojený napěťový sledovač s operačním zesilovačem TL082 [15].

Proudový výstup Č/A převodníku je převeden pomocí zesilovače AD8022 na výstup napěťový podle výrobcem doporučeného schématu. Jedná se o jednoduché zapojení, kdy se do zpětné vazby invertujícího zesilovače zapojí vývody převodníku R_{FB} a I_{OUT} příslušného kanálu tak, jak je naznačeno na obr. 3.2.



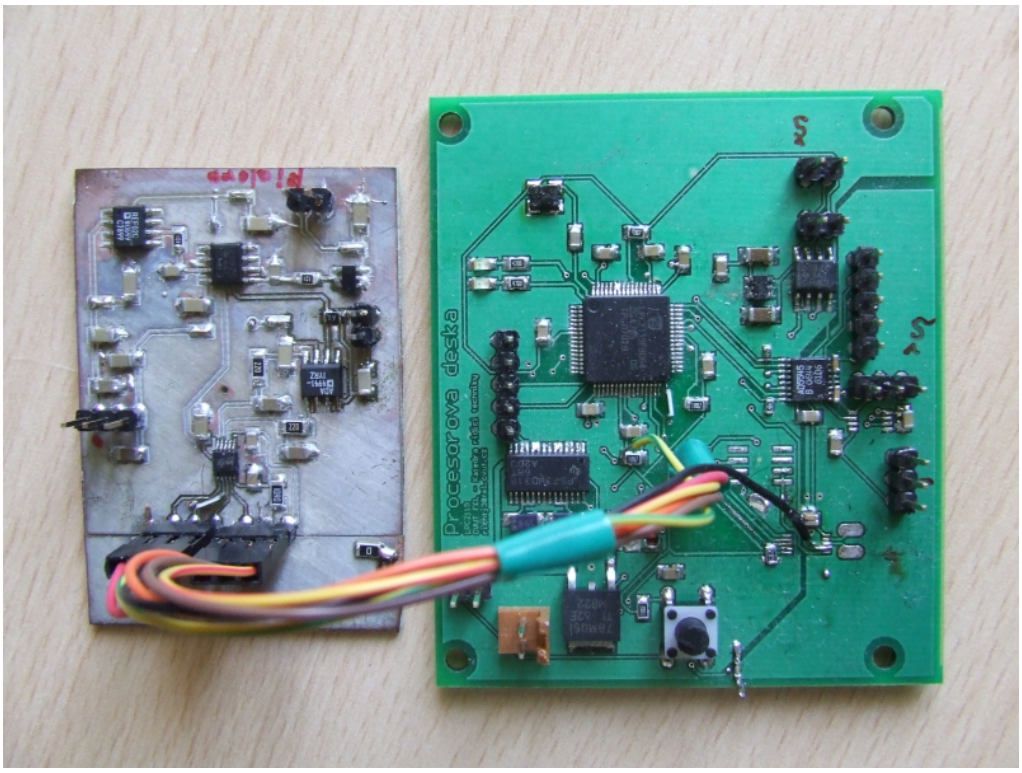
Obrázek 3.2. Schéma zapojení převodu proudového výstupu Č/A převodníku na napěťový

Pro napájení procesoru a ostatních obvodů byl použit lineární stabilizátor napětí UA78M05 s 5V výstupem, na něj se připojil dvounapěťový stabilizátor TPS73HD318 s výstupními napětími 3,3 V a 1,8 V a vývodem pro reset procesoru při poklesu napájecího napětí, aby nedošlo k uváznutí vykonávaného programu.

[9]Doslova "Výběr obvodu". Aktivní logickou úrovní určuje, který obvod na sběrnici bude právě komunikovat, pokud hodinový signál od řídicího nódu (*Masteru*) mají na vstupu všichni. Pro každý obvod samostatný signál.

Všechny potřebné napájecí vstupy součástek byly vybaveny blokovacími kondenzátory, zejména o hodnotě kapacity 100 pF, proti kolísání napájecího napětí při výkyvech proudového odběru, pouze u A/Č převodníku byl tento způsob ochrany podceněn.

Výslednou funkční podobu zařízení po úpravách provedených během odlaďování zachycuje obr. 3.3.



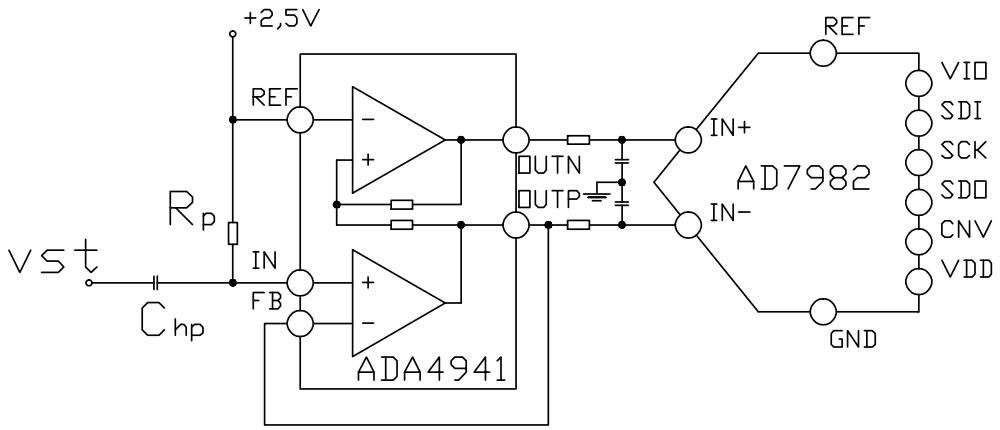
Obrázek 3.3. Fotografie první verze zařízení

3.2.1 Oživení prototypu zařízení

Při oživování zařízení se postupně zprovozňovaly jednotlivé obvody na desce plošného spoje, a to nejdříve obvody zajišťující napájení, posléze procesor, jehož funkčnost se nejjednodušeji ověřila rozsvěcováním pro potřeby diagnostiky určených LED a komunikací s PC rozhraním RS-232. Pomocí RS-232 se ostatně do procesoru na-

hrává i vlastní program, a to pomocí *bootloaderu*[10]. Programování probíhá rychlostí 38000 Bd.

Dále se podařilo zprovoznit A/Č převodník, ovšem vyčítaná data nejevila takřka žádnou souvislost s přikládaným měřeným napětím. Při podrobném studiu datového listu se dospělo k závěru, že je nutné použít v zapojení před převodníkem rozdílový budič ADA4941, pro což musela být vytvořena zvláštní deska plošného spoje připojená pomocí drátů na původní vývody procesoru. Na ni se umístil i původní A/Č převodník. Kvůli požadavku na měření střídavého signálu v obou polaritách vyvstala nutnost posunutí tohoto signálu o jeho střední hodnotu tak, aby se obě půlperiody nacházely v měřicím rozsahu A/Č převodníku. Zapojení posouvacího členu vidíme na obr. 3.4.

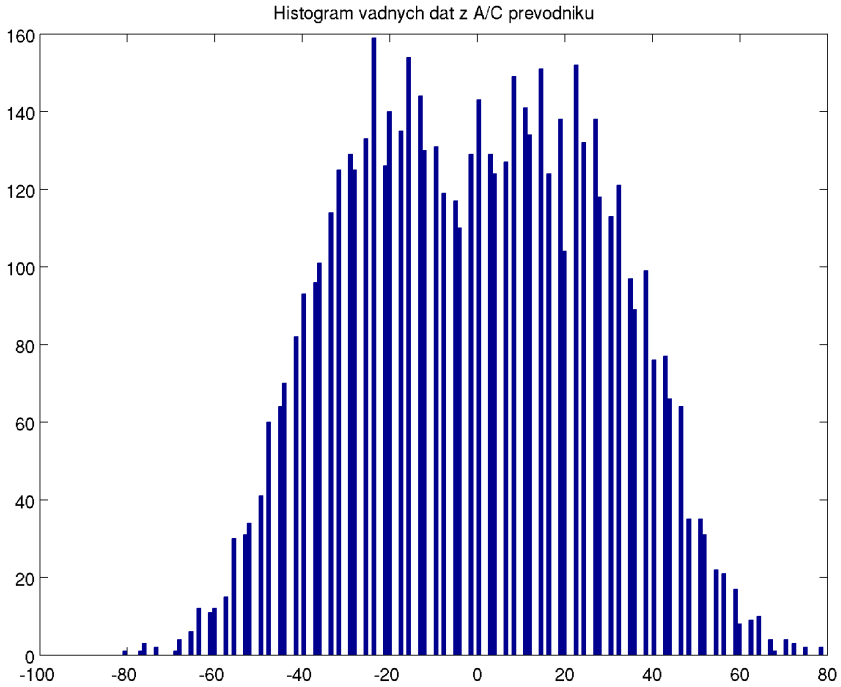


Obrázek 3.4. Zapojení posouvacího členu před A/Č převodníkem

Jedná se o hornopropustný filtr složený z C_{hp} a R_p, který má za úkol odstranit zápornou stejnosměrnou složku signálu, a díky připojení rezistoru na úroveň napětí 2,5 V ke střídavému signálu přičte stejnosměrnou složku o hodnotě poloviny rozsahu A/Č převodníku.

Při pokusech o měření docházelo k jevu, že všechna data byla nakvantována do shluků po dvou hodnotách vzdálených od sebe 2 LSB, jak naznačuje obr. 3.5.

[10]Programová rutina v paměti procesoru zajišťující komunikaci s PC při programování a nahrání programu do paměti RAM, případně Flash.



Obrázek 3.5. Histogram vadných dat vyčtených z A/Č převodníku

Potíž byla způsobena nejasností v datovém listu AD7982, protože v něm výrobce uvádí, že data na výstupu jsou platná na obě hrany hodinového pulsu, tedy na náběžnou i sestupnou. Ovšem při čtení na sestupnou hranu, což prováděla tato verze programu, docházelo ke ztrátě LSB, protože při příchodu sestupné hrany hodinového pulsu dochází ke změně dat na výstupu, a tak se nepodaří zachytit žádaný datový bit, nýbrž až následující. Se změnou aktivní hrany hodin v nastavení rozhraní SPI procesoru tento problém zmizel.

Č/A převodník AD5545 požaduje před předáním samotných převáděných dat určení adresy kanálu, pro nějž mají platit následující data. Tato adresa sestává ze dvou bitů, celkem se tedy do Č/A převodníku z procesoru po SPI přenáší 18 bitů. Stejně jako v případě A/Č převodníku to znamená, že procesor, který disponuje pouze 8-bitovým rozhraním SPI, bude zbylých 6 bitů posledního ze tří bajtů pracovat naprázdno.

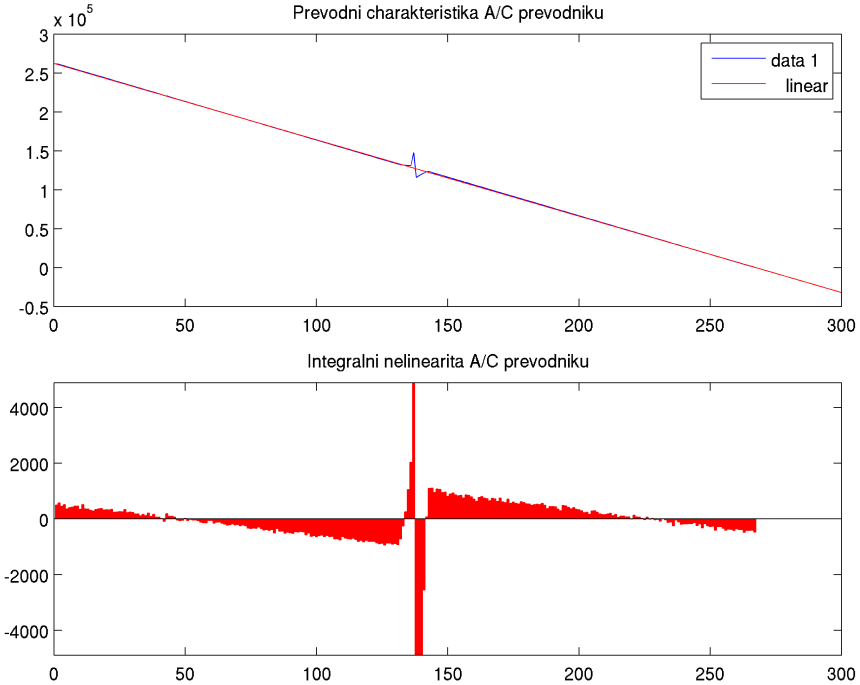
Podrobný popis komunikace s oběma převodníky zde uvádět nebudeme, ačkoli se v této vývojové fázi zařízení týkal části zahrnující procesor. V dalším postupu

vývoje totiž úkol řízení analogové části zařízení převzal obvod CPLD. Podrobný popis výměny dat s převodníky a jejich řízení lze nalézt v [1].

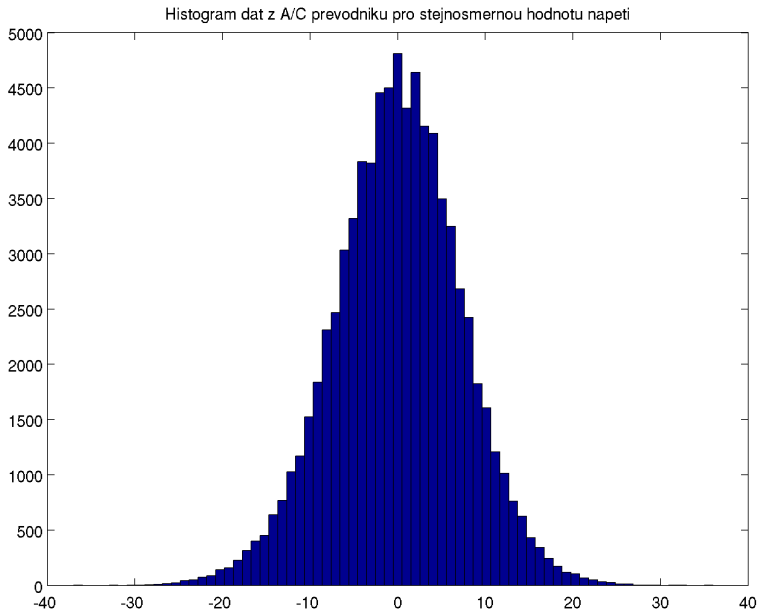
3.2.2 Měření na prototypu zařízení

Pro prověření možností rychlosti obdélníkové modulace byl vytvořen program, který cyklicky prováděl nastavování výstupů Č/A převodníku a odměry A/Č převodníkem. Při ponechání rezervy výpočetního výkonu kvůli zamýšleným výpočtům se změřenými hodnotami byl program realizován bez použití přerušovacího systému, konkrétně bez použití přerušení od rozhraní SPI, takže výkon programu vždy čekal na výměnu všech dat s převodníky. Takto bylo dosaženo mezního kmitočtu modulačního signálu přibližně 73 kHz. To neodpovídalo předběžným požadavkům na systém, kdy se díky malým absolutním hodnotám kapacit snímače předpokládala modulace signálem o kmitočtu 100 kHz. To se spolu s dalšími níže zmíněnými důvody stalo podnětem k rozšíření zařízení o pomocné hradlové pole obstarávající modulaci budicího signálu snímače a předzpracování signálu navzorkovaného A/Č převodníkem.

Dále bylo na této verzi zařízení provedeno testování vlastností A/Č převodníku a možností uplatnění jeho přesnosti v prostředí zatíženém obvyklým rušením od blízkých spotřebičů. Obr. 3.6 zobrazuje převodní charakteristiku obvodu a vypočtenou integrální nelinearitu. Vidíme, že její hodnota neodpovídá výrobcem zaručované nejvyšší hodnotě ± 2 LSB, což je ovšem možno přičíst způsobu měření pomocí laboratorního signálového generátoru. Následně byla zjišťována šířka histogramu měřených hodnot pro stejnosměrná napětí. Přesnost a stabilita napětí byla paralelně sledována přesným laboratorním voltmetrem Agilent 34401A. Výsledný histogram vidíme na obr. 3.7. Je patrné, že šum, kterým je měření zatíženo, má normální rozdělení.

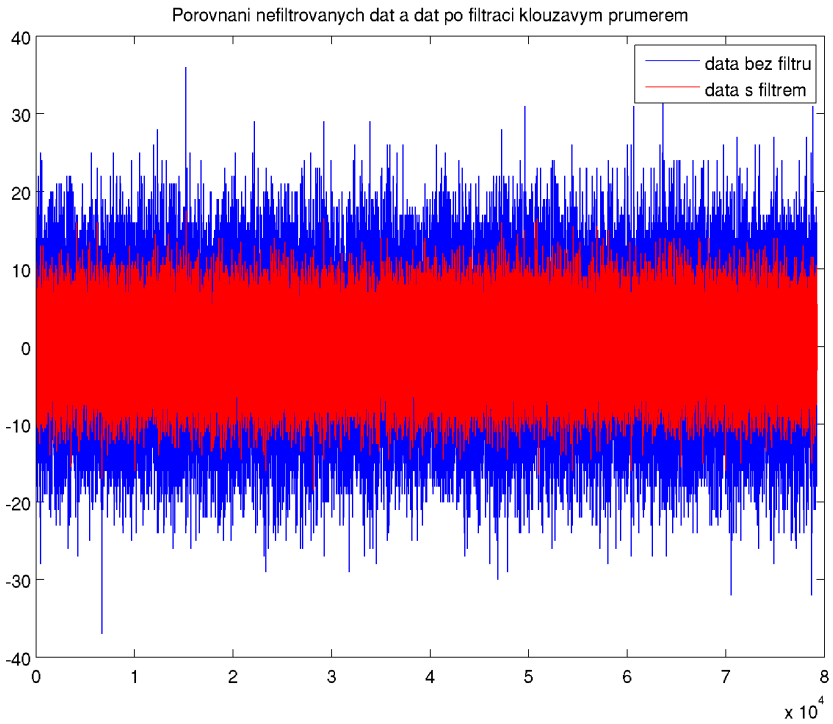


Obrázek 3.6. Převodní charakteristika A/Č převodníku AD7982 a jeho integrální nelinearita



Obrázek 3.7. Histogram dat vyčtených z A/Č převodníku pro měřené stejnosměrné napětí

Povaha šumu má ovšem tu zvláštnost, že jednotlivé vzorky tak jak jdou za sebou kmitají okolo střední hodnoty úseku signálu s pravidelností, která by odpovídala střídavému rušení o kmitočtu polovičním, než je vzorkování analogově-číslicovým převodníkem. Tento jev byl ale patrný při různých kmitočtech modulačního signálu, takže podezření na vnější rušení se tím s velikou pravděpodobností vyloučilo. Ani v následujících fázích vývoje se nepodařilo tento jev potlačit. V tuto chvíli se ovšem ukázalo jako vhodné osadit aplikaci dalším obvodem pro předzpracování signálu například prostým klouzavým průměrem. Účinnost tohoto typu filtru byla ověřena na naměřených datech pomocí prostředí Matlab. Výsledek je patrný na obr. 3.8.



Obrázek 3.8. Porovnání neupravovaných naměřených dat a dat filtrovaných klouzavým průměrem ze dvou vzorků

Pro úkol předzpracování dat, ale zejména kvůli shora zmíněným omezením kmitočtu modulačního signálu generovaného samotným procesorem, byla zvolena varianta s použitím hradlového pole CPLD.

Kapitola 4

Rozšíření o hradlové pole

Tato kapitola se bude zabývat popisem řešení zařízení rozšířeného o hradlové pole, a to nejprve o obvod CPLD, později FPGA. Nejdříve se zmíníme o způsobu volby obvodu, poté si podrobně rozebereme jednotlivá řešení.

4.1 Volba obvodu

Požadavky na kmitočet budicího signálu pro snímač a na kvalitu měřeného signálu si vynutily návrh nové verze zařízení, kde se úkol ovládat analogovou část přesouvá z procesoru na jinou jednotku tak, že se jednak uvolní jeho výpočetní výkon, jednak bude možno lépe vyhovět požadavkům na budicí signál a bude se provádět měření ve dvou osách.

V úvaze byl vedle použití dalšího obvodu i výběr výkonnějšího mikroprocesoru, ovšem toto řešení by s sebou neslo potíže spojené s oživováním neznámého hardware. Významným argumentem proti jinému typu procesoru také bylo to, že výkonnější mikroprocesory už většinou nejsou pouze zrychlenou podobou běžných mikrokontrolérů, ale bývají určeny pro zcela jiný druh aplikací. Tam naleznou uplatnění jejich specifické periférie, jako jsou grafická a audio rozhraní, řadič pro Ethernet, vstup pro PS2 aj. Toto vybavení by v naší aplikaci představovalo zbytečnou zátěž zvyšující cenu. Popsaný jev se týká i většiny patřičně výkonných signálových DSP[1]. V neposlední řadě hrál roli také fakt, že takové mikroprocesory bývají zpravidla v pouzdrech nevhodných pro montáž v podmínkách naší laboratoře (např. pouzdro QBGA).

[1] *Digital Signal Processor*; mikroprocesor, jehož návrh je optimalizován pro algoritmy zpracovávající číslicově reprezentovaná data ve velkých objemech.

Ze zmíněných důvodů převážily výhody původně uvažovaného řešení s dalším obvodem. Nabízela se možnost použití CPLD nebo FPGA. Protože zástavba FPGA do zařízení je nákladnější díky nutnosti použít externí programovou paměť a protože se při testovacích pokusech dařilo zprovoznit postupně žádané funkce v menším obvodu CPLD (více v [1]), použil se právě obvod CPLD XC95288XL, tedy největší z řady CPLD nabízených výrobcem.

Později se ukázalo, že tento obvod svým výkonem pro aplikaci nedostačuje, proto se zařízení upravilo pro zástavbu FPGA. Konkrétní typ obvodu byl vybrán s ohledem na výkon, cenu a okamžitou dostupnost. I přes více než dostatečný výpočetní výkon FPGA se ovšem v zapojení ponechal i mikroprocesor. Důvodem pro tento krok byla především snadná tvorba a ladění programů pro zpracování změřených dat, ale i výhodná rozhraní pro komunikaci s PC. Tyto přednosti spolu s nízkou cenou převážily nad možností obvodového zjednodušení.

4.2 Řešení s CPLD

Pro zástavbu CPLD bylo nutno zcela přepracovat podobu zařízení. Musela se mezi procesorem a CPLD vytvořit 18-bitová paralelní sběrnice, 5 řídicích signálů a přizpůsobit připojení analogové části na vstupně-výstupní bránu CPLD. Zapojení analogové části se převzalo z předchozí verze zařízení, navíc se přidala pro účely ladění možnost u obou převodníků volit ze dvou hodnot referenčního napětí přesunutím propojky na plošném spoji.

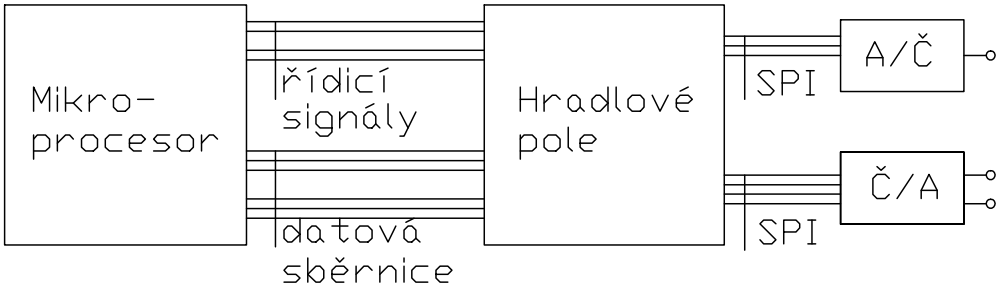
Napájení číslicové části podobně jako zbytek obvodového řešení se provedlo stejně jako u minulé verze. Navíc přibyl jen budič sběrnice CAN[2] s označením PCA82C250 [1].

Na straně procesoru bylo možno paralelní sběrnici umístit pouze na vstupně-výstupní bránu P0, protože druhá brána, P1, nedisponuje šířkou nejméně 18 bitů. Na vývodech P0.0 a P0.1 se nachází signály TxD0 a RxD0 pro komunikaci po sériové lince, takže sběrnice musí být posunuta o 2 bity a začíná až na vývodu P0.2.

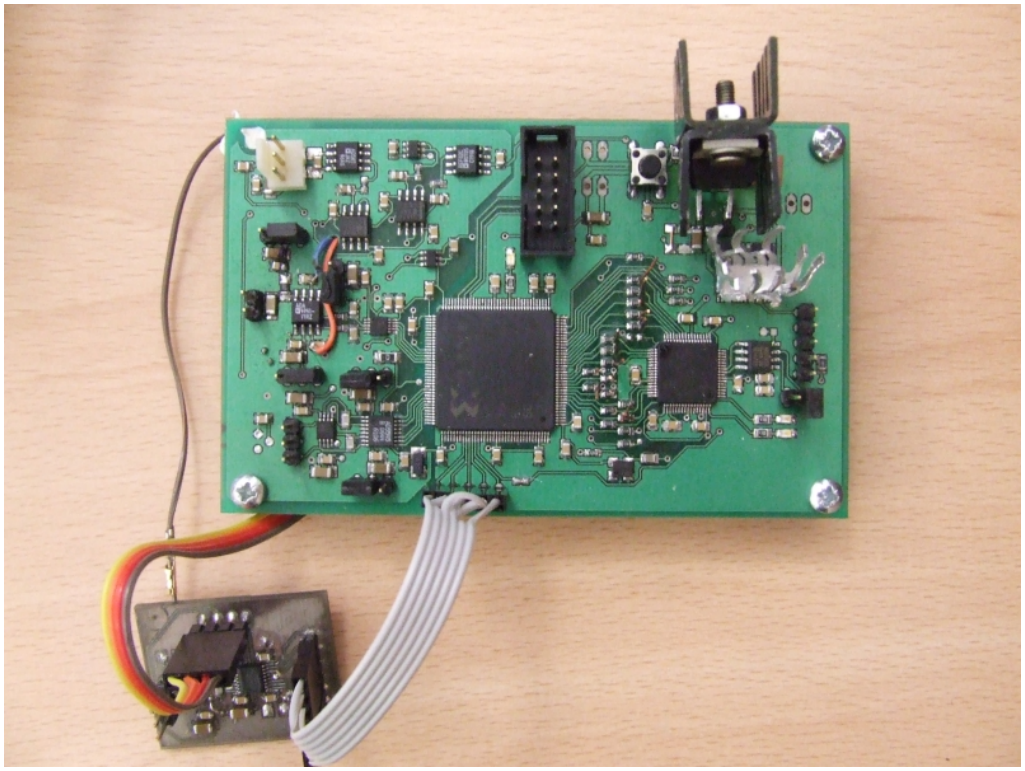
Na plošném spoji bylo chybně provedeno napájení obvodu ADA4941, kam se místo +12 a 0 V přivedlo ±5 V. Nesprávné úrovně napájecího napětí byly přivedeny i k obvodu AD8022, kde místo žádaných ±12 V bylo ±5 V.

Základní strukturu zapojení ukazuje blokové schéma na obr. 4.1.

[2] *Controller Area Network*, komunikační protokol zaručující vysokou spolehlivost a přenosovou rychlost při snadném nasazení a rozšiřitelnosti.



Obrázek 4.1. Blokové schéma zařízení ve verzi s hradlovým polem



Obrázek 4.2. Fotografie zařízení ve verzi s CPLD

4.2.1 Oživení 2. verze zařízení

Oba obvody v zařízení se oživovaly napřed samostatně, poté jsem s řešitelem [1] dohodl komunikační rozhraní mezi mikroprocesorem a CPLD popsané v podkapitole 5.1.1. Při vysokém vytížení CPLD programem byl jeho proudový odběr natolik vysoký, že bylo třeba nahradit lineární 5V stabilizátor v pouzdře pro povrchovou montáž podobným typem, pouze v provedení, na nějž se dal umístit chladič s dostatečnou teplosměnnou plochou. Další potíže se objevily v okamžiku, kdy se začalo zkoumat, proč při cyklickém zvyšování amplitudy dostává CPLD po sběrnici data končící vždy dvěma nulami na pozicích s nejnižším významem. Ukázalo se, že jsem při návrhu zanedbal skutečnost, že vývody mikroprocesoru P0.2 a P0.3 slouží v alternativním nastavení jako signály SCL a SDA pro rozhraní I^2C a jako takové jsou ve vnitřní struktuře provedeny zapojením s otevřeným kolektorem.

Pro měření ve druhé ose bylo nutno přidat další dvoukanálový Č/A převodník stejného typu jako stávající. Jeho připojení k datovým signálům hradlového pole se provedlo na připravené vývody na desce zařízení.

Kvůli potlačení rušení měřeného signálu se do blízkosti snímací elektrody umístil napěťový sledovač s operačním zesilovačem. Tím se docílilo podstatného zlepšení a prakticky všechna měření vyhodnocená v této práci jsou prováděna po tomto zásahu. Zmíněné řešení s napěťovým sledovačem, stejně jako zbytek analogového rozhraní ke snímači jsou popsány v [1].

Pro další omezení šumu jsem k propojení napěťového sledovače u snímací elektrody a vstupu oddělovače záporné stejnosměrné složky před A/Č převodníkem použil stíněný koaxiální kabel namísto obyčejných měděných lanek, což se ovšem na měřených datech při jejich analýze nijak neprojevilo.

4.3 Řešení s FPGA

Nová verze zařízení, kde se obvod CPLD nahradil FPGA vychází z verze předchozí, takže bloková struktura podle obr. 4.1 zůstává zachována. Zástavba FPGA asi vyžádala několik změn v zapojení a přepracování celé desky plošného spoje. Především se vedle FPGA musela zabudovat jeho programová paměť a přepínací propojky pro nastavování programovacího módu. Po zkušenostech s provozem předchozí verze zařízení se opět podařilo opravit několik chyb v zapojení. Zejména šlo o přidání *Pull-Up* rezistorů na dva vývody s nejnižším bitovým významem, tedy P0.2 a P0.3, čímž se odstranil problém s nastavováním log. "1" na straně mikroprocesoru. Dále byla do zařízení zabudována nová varianta mikroprocesoru s označením

LPC2119FBD64/01, která umožňuje používání vstupně-výstupních bran s třetinovou dobou přístupu oproti předchozí verzi. Dále má zabudovaná nově navržená rozhraní SPI s až 16-bitovými datovými registry a dovoluje nastavení hodinového kmitočtu až na 75 MHz, tedy o 15 MHz víc než varianta předchozí.

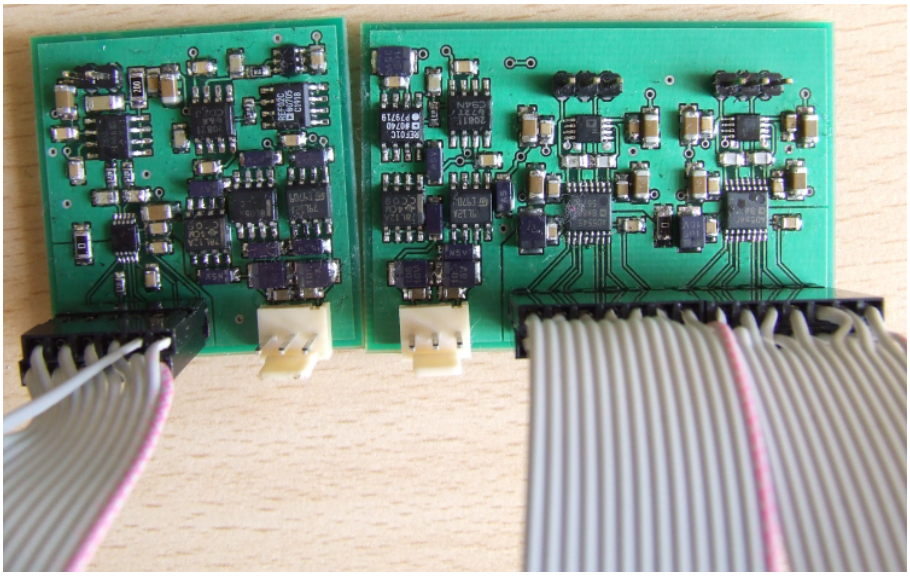
Jako další důležitý zásah do podoby zařízení se provedlo oddělení analogové části od číslicové a její umístění na samostatnou desku plošného spoje. Obě desky jsou spojeny datovými vodiči pro rozhraní SPI a napájecími vodiči číslicové části obou převodníků. Propojovací vodiče jsou provedeny jako ploché kabely, kde se vedle sebe střídají datové signály resp. napájecí vodiče a zemní vodič číslicové části. Důvodem pro tuto úpravu bylo, že požadovaný kmitočet hodin přenosu SPI je 30 MHz, a jako opatření pro zvýšení odolnosti proti rušení se v podobných aplikacích osvědčuje právě takové stínění. Na plošném spoji jsou tyto signály vyvedeny pro 4 Č/A převodníky a 2 A/Č převodníky. To znamená, že lze provádět měření na dvou snímačích současně.

Celý návrh desky plošného spoje je dílem řešitele [1], kde je možno se dočíst podrobnosti o tomto řešení.

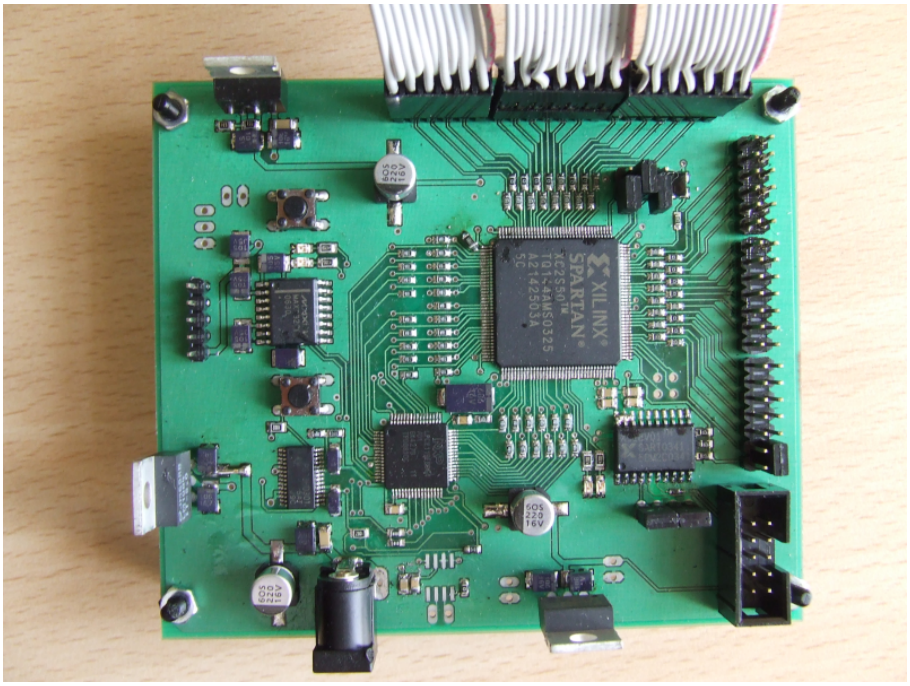
4.3.1 Oživení 3. verze zařízení

Měřicí obvod s FPGA díky své podobnosti s předchozí verzí zachoval komunikační rozhraní mezi mikroprocesorem a hradlovým polem, takže programy obou obvodů byly přenosné. Potíže ovšem nastaly jak na straně mikroprocesoru, kde bylo i přes deklarovanou přenositelnost programů ze starších verzí nutno nastavovat provést úpravy v nastavení registru `PINSEL2`, na jehož nenastavení nová verze oproti starší reagovala nefunkčností vývodů vstupně-výstupní brány P1. Po doplnění programového kódu o nastavení nově přidaných registrů se podařilo zprovoznit i zrychlený přístup na obě brány.

V době, kdy byla prováděna měření na kapacitním snímači polohy vyhodnocená v této diplomové práci se ovšem ještě nepodařilo zcela odladit program v hradlovém poli, kde nastaly při přenosu z CPLD potíže popsané v [1].



Obrázek 4.3. Fotografie analogové části řešení s FPGA



Obrázek 4.4. Fotografie číslicové části řešení s FPGA

Kapitola 5

Popis firmware procesoru

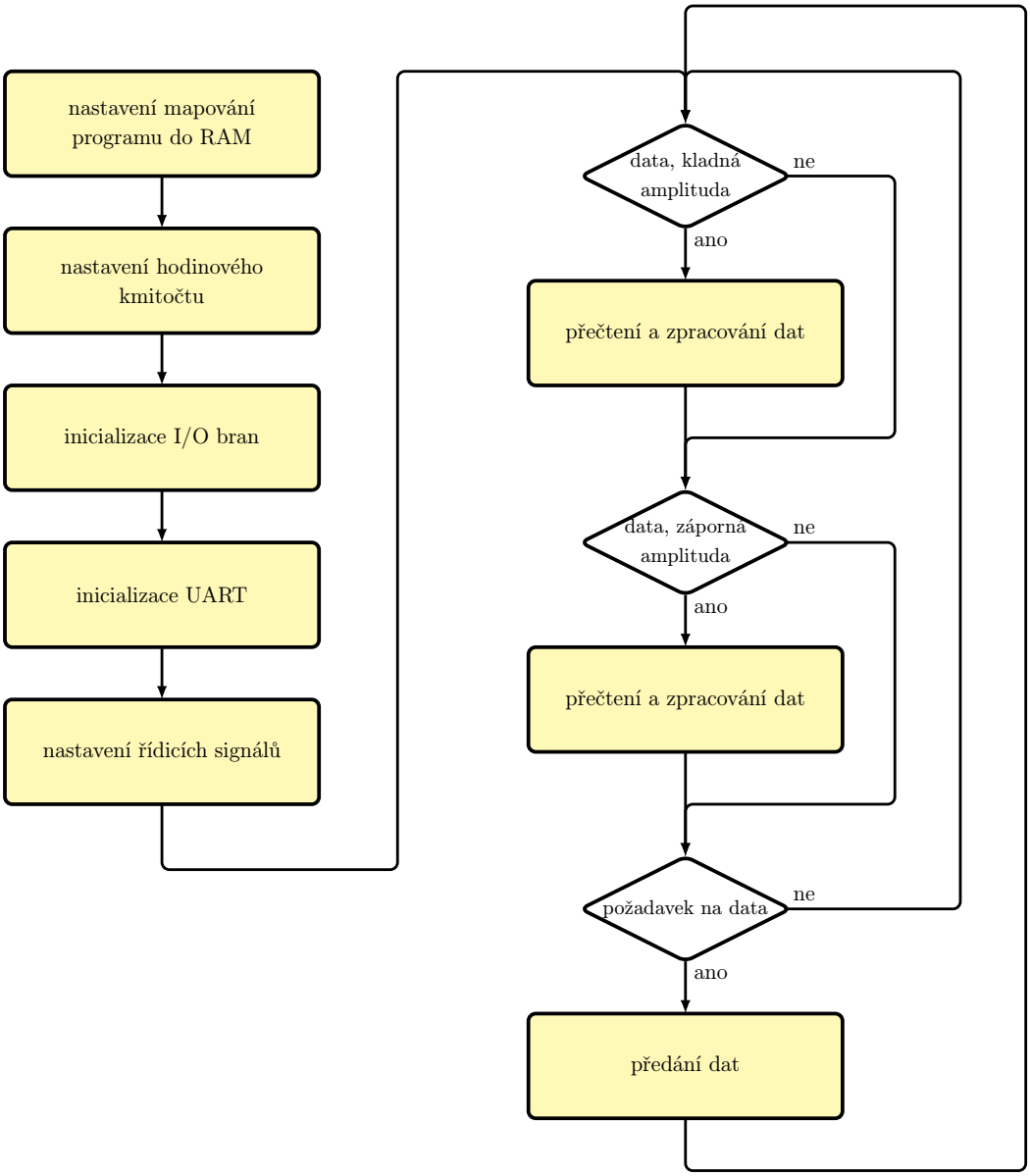
Pro jednotlivé verze zařízení vznikalo různé programové vybavení. Z pohledu přínosu této práce jsou ovšem zajímavé pouze ty verze programu, pomocí nichž se prováděla zkušební měření na předposlední a poslední verzi zařízení.

Všechny programy pro procesor jsou vyvíjeny v programovacím jazyce C v linuxovém prostředí a překládány pomocí *Make* systému OMK [17]. Pro ovládání jednotlivých periférií jsou užity programové rutiny volně dostupné např. na [18].

Nejprve si na tomto místě popíšeme komunikační rozhraní pro hradlové pole a průběh výměny dat mezi ním a procesorem, protože tato část je společná všem variantám programu. Pak se budeme věnovat jednotlivým modifikacím podle toho, jak dále zpracovávají získaná data. Zmínku o motivaci použití toho kterého typu filtru bude následovat popis implementace s ukázkou důležité části programového kódu.

Popis programů nebude vyčerpávající v tom smyslu, že by zahrnul veškeré podrobnosti o činnosti programu od resetu procesoru, přes všechny možnosti větvení až po konec hlavní smyčky. Tuto činnost schématicky znázorňuje vývojový diagram na obr. 5.1. Následující text se podrobně věnuje pouze částem kódu specifickým pro tu kterou variantu programu. Zároveň nebudou popsány jednotlivé zkušební modifikace, u kterých se přidala nějaká podružná funkčnost nebo se nevýznamně poupravil běh programu.

Hodinový kmitočet mikroprocesoru je programově nastaven pomocí zabudovaného fázového závěsu na 60 MHz. Veškerá popisovaná komunikace s PC po sériové lince se děje rychlostí 115200 Bd.



Obrázek 5.1. Vývojový diagram programu mikroprocesoru

5.1 Komunikace s hradlovým polem

Komunikace mezi procesorem a hradlovým polem probíhá pomocí paralelní 18--bitové datové sběrnice a řídicích signálů, určujících význam, případně platnost dat na sběrnici. Tyto signály jsou používány podle dohod provedených s řešitelem [1].

5.1.1 Definice rozhraní

Význam jednotlivých použitých signálů popisuje tab. 5.1, když se přidržuje značení použitého v programovém kódu procesoru.

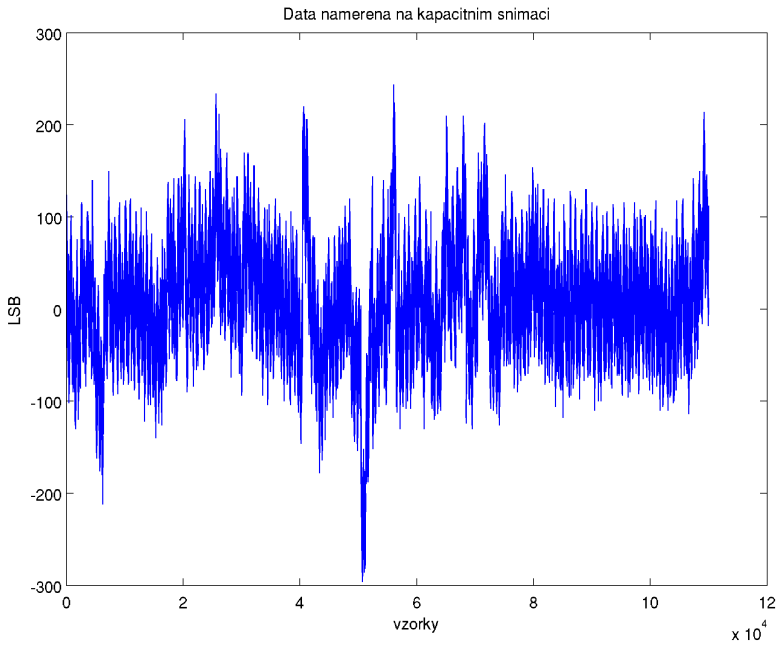
Název signálu	Význam signálu	Umístění ve verzi s CPLD	Umístění ve verzi s FPGA
`port0`	Obousměrná paralelní datová sběrnice	P0.2 až P0.19	P0.2 až P0.19
`BLOK_PIN`	Signál blokující generování modulačního signálu	P1.24	P1.24
`CNTR_PIN_1`	Data z procesoru platná	P0.29	P0.29
`CNTR_PIN_2`	Změřená data přečtena	P0.30	P1.30
`CNTR_PIN_3`	Data z hradlového pole platná	P0.23	P1.20
`CNTR_PIN_4`	Požadavek hradlového pole na data	P0.22	P1.21
`CNTR_PIN_5`	Kladná půlperioda	P0.21	P1.23

Tabulka 5.1. Význam a rozmístění komunikačních signálů

5.1.2 Postup komunikace

Obdélníkovou modulaci budicího signálu pro snímač řídí hradlové pole. Proto bylo stanoveno, že okamžik pro přenos dat udávajících amplitudu signálu bude určovat právě ono, nikoli procesor, který je v systému hradlovému poli nadřazen. Podobně okamžik, kdy má hradlové pole připravena v registru změřená data určená pro mikroprocesor, je dán programem hradlového pole. To jen příslušným řídicím signálem oznámí procesoru, že data jsou připravena ke čtení. Tak je zajištěna funkční synchronizace obou obvodů.

Při popisu budeme postupovat podle programového kódu. Věnovat se budeme pouze hlavní programové smyčce opakované donekonečna.



Obrázek 5.2. Ukázka zarušeného signálu ze snímače

Nejprve si procesor vypočte[1] hodnotu amplitudy signálu a tak si připraví data, která umístí na sběrnici, až si o ně hradlové pole požádá. Poté se testuje, zda signál `CNTR_PIN_3` je v aktivní úrovni a současně zda je v aktivní úrovni signál `CNTR_PIN_5`. Pokud jsou oba v logické '1', procesor si přečte a uloží hodnotu vystavenou na datové sběrnici a potvrdí úspěšné čtení hradlovému poli krátkým nastavením signálu `CNTR_PIN_2` do log. '1'. Zároveň si uložená data posune o 2 bity doprava kvůli shora zmíněnému posunutí sběrnice, protože registr vstupně-výstupní brány je vyčten jako celek bez ohledu na funkčnost vývodů. Log. '1' signálu `CNTR_PIN_5` značí data z kladné půlperiody, proto je tento vzorek dále zpracováván spolu s ostatními vzorky kladných půlperiod. Je-li tento signál v log. '0', chování procesoru je totožné, jen je vzorek zařazen k ostatním ze záporné půlperiody.

Když hradlové pole vytvoří požadavek na nová data pro Č/A převodníky nastavením signálu `CNTR_PIN_4` do log. '1' a procesor tento požadavek zachytí, nastaví se na datové sběrnici příslušná vypočtená hodnota a platnost dat se hradlovému poli oznámí logickou úrovní '1' na řídicím signálu `CNTR_PIN_1`. Úspěšné přečtení dat

[1] Způsob výpočtu zmíníme později.

hradlovým polem se již dále neověřuje, protože se předpokládá plně deterministické chování tohoto obvodu, který dokáže paralelně zpracovávat více požadavků.

Požadavek na měření ve druhé ose dává procesor nastavením vývodů `CNTR_PIN_1` a `CNTR_PIN_2` současně na úroveň '1'. Děje se tak v okamžiku po přečtení změřených dat na sběrnici, a to jen v polovině a na konci akvizice dat do vektoru hodnot předávaného do PC.

5.2 Programové zpracování naměřených dat

Aby mohla být v systému uzavřena zpětná vazba s regulátorem, bylo nutné potlačit vliv rušení přítomného v měřeném signálu z kapacitního snímače. Příklad zarušeného signálu ukazuje obr. 5.2.

Když se nepodařilo toto rušení odstranit zásahy do konstrukce měřiče, přišla na řadu otázka programového filtrování dat. Navrženo bylo několik číslicových filtrů, které postupně prošly srovnáním při zkouškách zařízení. Výsledky těchto měření budou uvedeny níže. Všechny filtry mají společné to, že se filtrovaná data uloží do vektoru o délce 2000 vzorků a naráz se pošlou po sériové lince do PC. Zde si uvedeme stručný popis jednotlivých filtračních algoritmů.

Mediánový filtr

Mediánová filtrace je proces, kdy se vybírá z určeného počtu hodnot ta, která se svojí velikostí nachází mezi ostatními. Zpravidla se tento výběr provádí ze tří hodnot. Jedná se tedy o nelineární filtr. Použití nachází zejména při filtrování impulsních rušení. Protože takovou povahu má částečně i rušení v naší aplikaci, byl tento typ filtru s drobnou modifikací použit pro zlepšení vlastností signálu.

Možný programový zápis mediánového filtru ukazuje obr. 5.3.

Filtr typu nejmenší vzdálenost

Protože se v programu rozlišuje kladná a záporná půlperioda signálu, je možné použít filtr který hledá ze sady nově naměřených vzorků ten od posledně uloženého vzorku nejméně vzdálený. Smysl tohoto druhu filtrace spočívá v tom, že se předpokládá malá rychlost změn amplitudy signálu nesoucího informaci o poloze. Z toho plyne, že nový vzorek by neměl být o předchozího příliš vzdálen. Pokud by na signálu bylo superponováno rušení o kmitočtu o něco vyšším než kmitočet vzorkovací,

```
if (posledni_3_a1[0] >= posledni_3_a1[1]) {
    posledni_3_a1[0] = posledni_3_a1[1];
    posledni_3_a1[1] = posledni_3_a1[0];
}
if (posledni_3_a1[0] >= posledni_3_a1[2]) {
    posledni_3_a1[0] = posledni_3_a1[2];
    posledni_3_a1[2] = posledni_3_a1[0];
}
if (posledni_3_a1[1] >= posledni_3_a1[2]) {
    posledni_3_a1[1] = posledni_3_a1[2];
    posledni_3_a1[2] = posledni_3_a1[1];
}
index++;
hodnota3[index] = posledni_3_a1[1];
```

Obrázek 5.3. Programově zapsaný mediánový filtr

mohl by v jisté míře mediánový filtr tento šum sledovat. Filtr tohoto druhu by měl takové sledování omezit. Výsledná implementace filtru je na obr. 5.4.

Klouzavý průměr

Klouzavý průměr je způsob filtrace, který počítáním průměrné hodnoty přes daný počet vzorků pomáhá vyhladit prudké změny signálu, způsobené zejména impulsním rušením. Pokud má toto rušení takový charakter, že na daném úseku je přibližně stejný počet vzorků vychýlených nad předpokládanou skutečnou hodnotu jako pod ní, vrací tento filtr uspokojivé výsledky. Předpis výpočtu klouzavého průměru je

$$y[n] = \frac{1}{N} \sum_{i=0}^{N} x[n-i],$$

kde $y[n]$ je n-tá filtrovaná hodnota, $x[n]$ je n-tý nefiltrovaný vzorek, N je počet vzorků, z nichž se klouzavý průměr počítá.

Programový zápis klouzavého průměru pro volitelné N ukazuje obr. 5.5.

```
if (posledni_3_a1[0] > hodnota3[index - 1])
   stred0_a1 = posledni_3_a1[0] - hodnota3[index - 1];
else
   stred0_a1 = hodnota3[index - 1] - posledni_3_a1[0];
if (posledni_3_a1[1] > hodnota3[index - 1])
   stred1_a1 = posledni_3_a1[1] - hodnota3[index - 1];
else
   stred1_a1 = hodnota3[index - 1] - posledni_3_a1[1];
if (posledni_3_a1[2] > hodnota3[index - textcolorred1])
   stred2_a1 = posledni_3_a1[2] - hodnota3[index - 1];
else
   stred2_a1 = hodnota3[index - 1] - posledni_3_a1[2];

if (stred2_a1 > stred1_a1)
   mensi1_a1 = posledni_3_a1[1];
else
   mensi1_a1 = posledni_3_a1[2];
if (mensi1_a1 > stred0_a1)
   mensi1_a1 = posledni_3_a1[0];
index++;
hodnota3[index] = mensi1_a1;
```

Obrázek 5.4. Programově zapsaný filtr typu nejmenší vzdálenost

```
for (i = 0; i < N); i++) {
   mov_avg_x_N += vzorky[N-i];
}
index++;
hodnota3[index] = mov_avg_x_N/N;
```

Obrázek 5.5. Programově zapsaný filtr typu klouzavý průměr

Filtr FIR

FIR, tedy *Finite Impulse Response* filtr je typem číslicového filtru, který má konečnou odezvu na jednotkový puls. Filtr FIR pracuje podle vztahu

$$y[n] = \sum_{i=0}^{N} b_i x[n-i],$$

kde $y[n]$ je n-tá filtrovaná hodnota, b_i je i-tý koeficient filtru, $x[n]$ je n-tý nefiltrovaný vzorek.

Filtr byl navržen nástrojem `fdatool` v prostředí Matlab. Zadaný vzorkovací kmitočet je 50 kHz, propustný kmitočet 1 kHz a kmitočet, kde frekvenční amplitudová charakteristika natrvalo poklesne pod definovanou mez je 5 kHz. Filtr je 10. řádu.

```
y += vzorky[N - 0] * koef[0];
y += vzorky[N - 1] * koef[1];
       .
       .
       .
y += vzorky[N - N + 1] * koef[N - 1];
y += vzorky[N - N] * koef[N];
index++;
hodnota3[index] = y;
```

Obrázek 5.6. Programově zapsaný filtr FIR

Filtr se nepodařilo z nezjištěné příčiny korektně implementovat pomocí cyklu `for`. Překlad programu se sice zdařil bez chyb, docházelo ovšem k váznutí běžícího programu. Ověřování, zda některá z proměnných užitých při výpočtu nepřetéká přes rozsah datového typu, potvrdilo, že se všechny hodnoty pohybují hluboko pod mezí rozsahu typu integer[2]. Výsledný zápis filtru ukazuje obr. 5.6.

[2]datový typ o rozsahu 32 bitů

5.3 Příprava dat pro Č/A převodník

Aby hradlové pole mělo informaci, jakou amplitudu budicího signálu pro snímač má nastavit, je třeba mu z mikroprocesoru předat po sběrnici data. Ve stavu, do jakého naše zařízení během vývoje dospělo, se pro měření na snímači používala vždy plná amplituda.

Pro zkušební měření časové stability převodníků se používala varianta programu, kde se po odměření 2 sad po 2000 vzorcích samočinně zvýšila v hlavní programové smyčce amplituda o určitý inkrement.

Kapitola 6

Výsledky měření

Tato kapitola se věnuje zpracování výsledků měření se zařízením. Pokud nebude výslovně uvedeno jinak, půjde vždy o měření provedená na verzi zařízení s obvodem CPLD, a to se sníženým kmitočtem budicího signálu na 50 kHz, aby se uvolnil výpočetní výkon mikroprocesoru pro filtraci signálu. Měření provedená na předchozí verzi měla pouze informativní charakter a jejich výsledky se uplatňovaly bezprostředně při ladění aplikace v dané chvíli. Proto byla uvedena na patřičném místě.

Hlavní sledovanou vlastností měřených signálů je pro nás míra zarušení, ať už síťovým kmitočtem, nebo impulsním rušením z vnějších zdrojů i z číslicové části zařízení. Pro porovnání jednotlivých měření budeme používat především určování šířky histogramů pro stejnosměrné hodnoty. Pokud to bude prospěšné, vyhodnotíme střední hodnoty a standardní odchylky pro jednotlivé úrovně měřeného signálu.

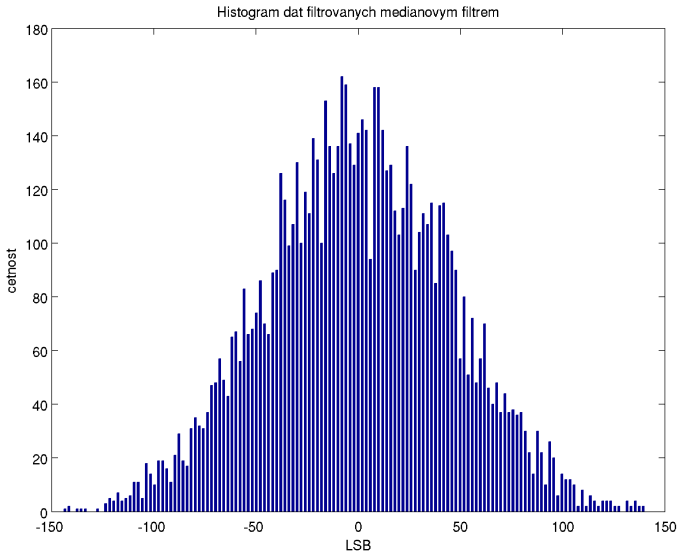
Měření budou rozčleněna podle jednotlivých typů filtrů.

Měření s mediánovým filtrem

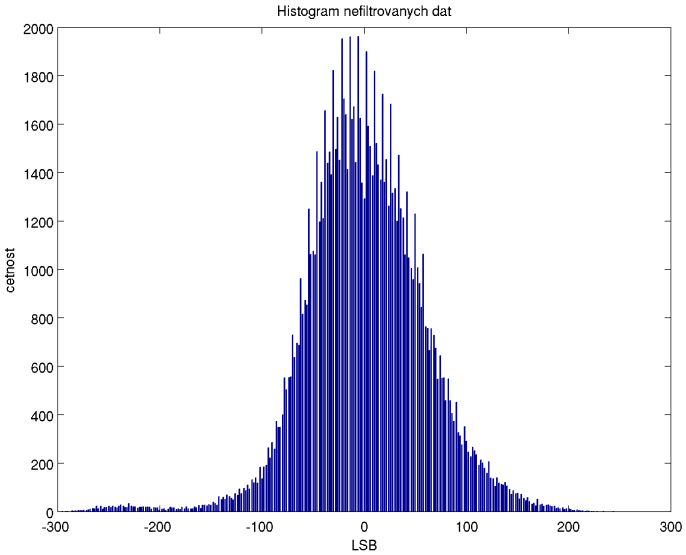
Data na obr. 6.1 zpracovaná mediánovým filtrem mají šířku histogramu od středu na každou stranu přibližně 145 LSB, zatímco histogram nefiltrovaných dat na obr. 6.2 je široký více než 200 LSB.

Měření s filtrem typu nejmenší vzdálenost

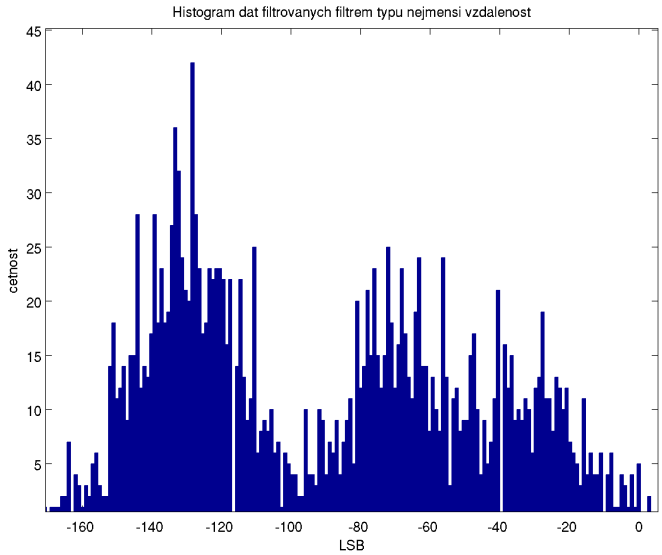
Obr. 6.3 ukazuje histogram dat zpracovaných filtrem typu nejmenší vzdálenost. Celková šířka histogramu je sice pod 200 LSB, vyhodnocení ovšem probíhalo na poměrně malém počtu dat, proto je patrná značná nesouměrnost histogramu.



Obrázek 6.1. Histogram dat zpracovaných mediánovým filtrem



Obrázek 6.2. Histogram nefiltrovaných dat



Obrázek 6.3. Histogram dat zpracovaných filtrem typu nejmenší vzdálenost

Pro zajímavost si uveďme výsledky měření časové stability stejnosměrných úrovní na Č/A převodnících. Obrázek 6.4 ukazuje v horní části odchylky středních hodnot od jednotlivých úseků téže úrovně ve schodovitém průběhu od celkové střední hodnoty této úrovně na celé sadě dat. V dolní části je zobrazen průběh standardních odchylek. Data jsou nefiltrovaná.

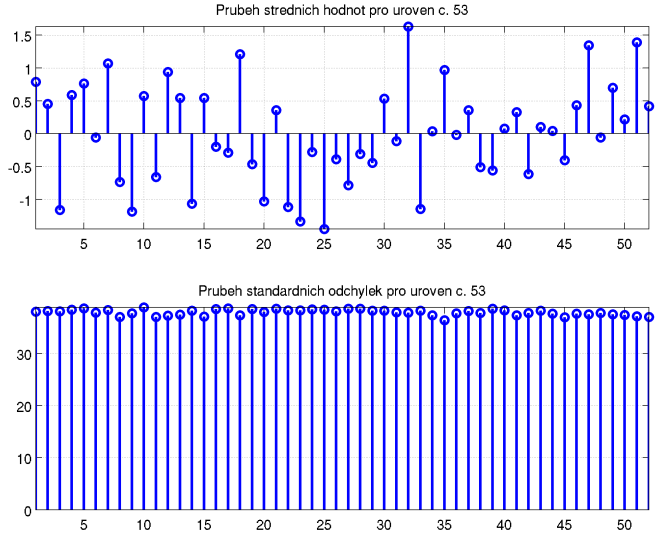
Pokud se použije filtr počítající nejmenší vzdálenost, data vypadají tak, jako na obr. 6.5.

Měření s klouzavým průměrem

Na obr. 6.6 je histogram dat zpracovaných klouzavým průměrem pro $N = 4$. Celková šířka histogramu je opět menší než 200 LSB.

Měření s filtrem FIR

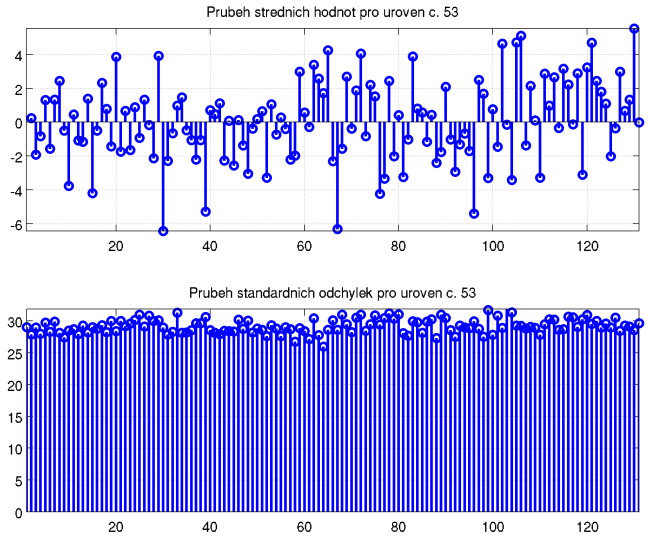
Na obr. 6.7 je histogram dat zpracovaných filtrem FIR 10. řádu. Celková šířka histogramu je asi 150 LSB.



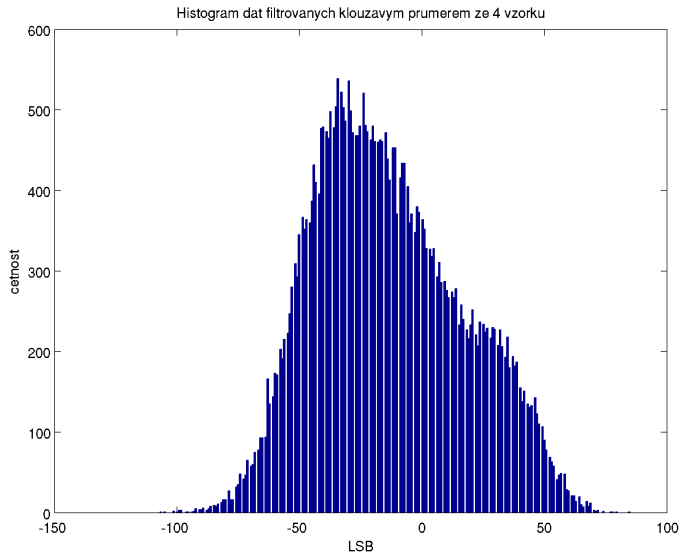
Obrázek 6.4. Časové průběhy stejnosměrné hodnoty nefiltrovaného signálu

Pro představu uvádím srovnání časového průběhu signálu filtrovaného filtrem FIR a signálu bez filtrace. Na obr. 6.8 je filtrovaný signál zobrazen modrým průběhem, nefiltrovaný červeným.

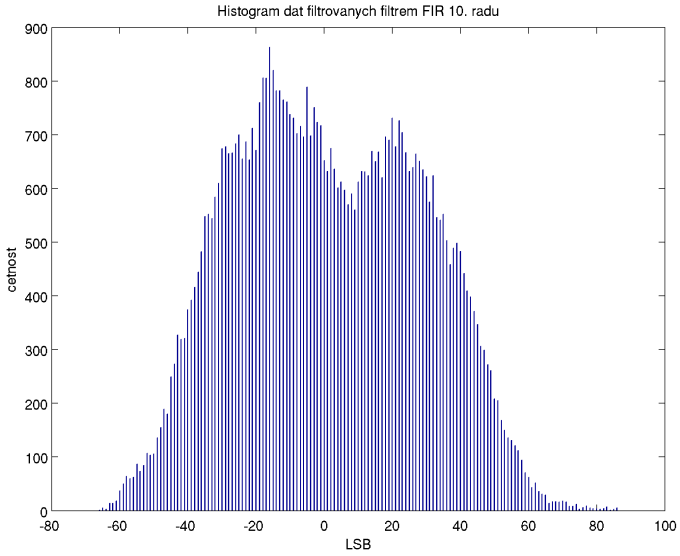
Pokud budeme uvažovat, že poloha desky stolku má být změřena s přesností v řádu μm, je žádoucí, aby šum byl přibližně poloviční až třetinový, než je u většiny vyhodnocených filtrovaných signálů.



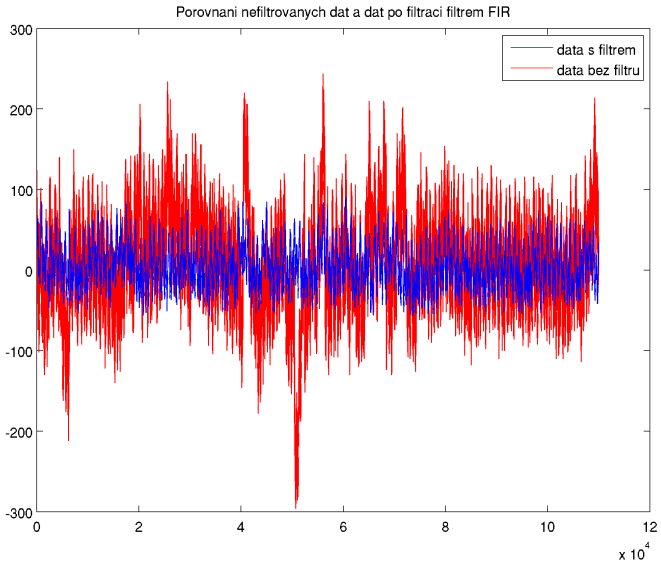
Obrázek 6.5. Časové průběhy stejnosměrné hodnoty signálu filtrovaného filtrem typu nejmenší vzdálenost



Obrázek 6.6. Histogram dat zpracovaných klouzavým průměrem



Obrázek 6.7. Histogram dat zpracovaných filtrem FIR



Obrázek 6.8. Porovnání nefiltrovaných dat a dat zpracovaných filtrem FIR

Kapitola 7

Závěr

Nyní přistupme ke shrnutí výsledků této diplomové práce. Nejprve zopakuji smysl zadané úlohy, poté se zastavím u každého jednotlivého řešení a nakonec zhodnotím přínos a použitelnost výsledků.

Na pokyn vedoucího práce jsem se věnoval části řídicího systému piezoelektrických motorů, která vyhodnocuje měření polohy řízeného systému. Na našem pracovišti se tato měření provádí rozdílovým kapacitním snímačem. Cílem práce bylo získat z tohoto snímače informaci o poloze jezdce piezoaktuátorů ve dvou osách, číslicově ji vyhodnotit a dosáhnout tak přesnosti měření v řádu jednotek až desetin μm. Zároveň se kladl požadavek na rychlost vyhodnocení, takže data o poloze se musejí předávat navazujícímu systému s frekvencí v řádu kHz.

Postupně navržená řešení se k tomuto cíli přibližovala po krocích, kdy se nejprve odstranily nedostatky předchozího řešení, poté se zařízení rozšířilo o nové možnosti, ať už buzení senzoru ve více osách nebo vylepšené zpracování změřených dat.

První řešení ověřilo možnost použití vybraných A/Č a Č/A převodníků zjištěním linearity převodu, resp. skutečné doby ustalování výstupů. Vinou zjištěných omezení výpočetního výkonu mikroprocesoru a vyhodnocením šumu v měřených datech se nepřistoupilo k měření tímto zařízením přímo na kapacitním snímači, ale bezprostředně se přistoupilo k návrhu další varianty.

Ve druhé verzi zařízení se úkol generování budicího signálu a řízení odměrů přenesl z mikroprocesoru na hradlové pole CPLD. Mikroprocesoru tak zůstalo ovládání celého zařízení a zpracování naměřených dat. Tato verze zařízení umožnila po odladění provést řadu měření přímo na snímači, z nichž ta nejdůležitější jsou v této práci vyhodnocena. Měřená data se zde přenášela po blocích do PC. V této fázi zatím nebylo zařízení začleněno do řídicího systému.

Jako další možnost pro snížení míry zarušení měřeného signálu rušením z čísli-

cové části zařízení se nabídlo rozdělení zařízení na číslicovou a analogovou část na samostatných deskách. Provedl se návrh nové, zatím poslední verze, kde se zároveň osazením hradlového pole FPGA namísto CPLD vyřešil nedostatek výpočetního výkonu pro předzpracování dat pro mikroprocesor. Vinou časových omezení práce se vývoj této verze zařízení podařilo dovést pouze na úroveň funkčnosti verze předchozí. To znamená, že je možné dále zlepšovat účinnost filtrace šumu například počítáním průměru z několika vzorků v hradlovém poli. Tak by bylo možné i při zachování kmitočtu budicího signálu uvolnit výkon mikroprocesoru pro výpočet filtru vyššího řádu. K této verzi zařízení lze připojit i druhý snímač pro vyhodnocení natočení polohované desky stolku. Můj přínos u poslední verze zařízení spočíval tedy pouze v oživení nové varianty mikroprocesoru.

Z vyhodnocených měření je patrné, že poloha je měřena s přibližně poloviční přesností, než je žádaná. Přínos filtrace signálu ovšem i u předposlední verze zařízení byl značný. Lze tedy očekávat, že např. filtr vyššího řádu, který je možno ve verzi s FPGA implementovat, dosáhne výsledků bez potíží použitelných pro zpětnovazební řídicí systém.

Literatura

[1] Anderle, M. *Systém pro podporu řízení piezoelektrických motorů*. Diplomová práce, Katedra řídicí techniky, FEL ČVUT Praha, 2008.

[2] Holub, O. *Robust feedback control for stepping piezoelectric actuators*. Odborná rozprava, Katedra řídicí techniky, FEL ČVUT Praha, 2006.

[3] Holub, O.; Cimprich, T.; Ferreira, A.; Breguet, J.M.; Hurák, Z. *Dynamical Modelling and Position Control of Ultrasonic Piezoelectric Positioning Stage* [online]. IEEE Ultrasonics Symposium, 2006. ⟨www.golem-project.eu/Publications/GOLEM_Pub_01_O_Holub_CTU.pdf⟩.

[4] *LPC2119* [online]. NXP Semiconductors. ⟨http://www.nxp.com/acrobat_download/usermanuals/UM_LPC21XX_LPC22XX_2.pdf⟩.

[5] *AD7982* [online]. Analog Devices. Datový list. ⟨http://www.analog.com/UploadedFiles/Data_Sheets/AD7980.pdf⟩.

[6] *ADA4941* [online]. Analog Devices. Datový list. ⟨http://www.analog.com/UploadedFiles/Data_Sheets/ADA4941-1.pdf⟩.

[7] *AD5545* [online]. Analog Devices. Datový list. ⟨http://www.analog.com/UploadedFiles/Data_Sheets/AD5545_5555.pdf⟩.

[8] *AD8022* [online]. Analog Devices. Datový list. ⟨http://www.analog.com/UploadedFiles/Data_Sheets/AD8022.pdf⟩.

[9] *REF3225* [online]. Texas Instruments. Datový list. ⟨http://www.ti.com/lit/gpn/ref3225⟩.

[10] *REF02* [online]. Analog Devices. Datový list. ⟨http://www.analog.com/UploadedFiles/Data_Sheets/REF02.pdf⟩.

[11] *REF102* [online]. Texas Instruments. Datový list. ⟨http://focus.ti.com/lit/ds/symlink/ref102.pdf⟩.

[12] *XC95288XL* [online]. Xilinx. Datový list. ⟨http://www.xilinx.com/support/documentation/data_sheets/ds055.pdf⟩.

[13] *XC2S50* [online]. Xilinx. Datový list. ⟨http://direct.xilinx.com/bvdocs/publications/ds001.pdf⟩.

[14] *XC18V01* [online]. Xilinx. Datový list. ⟨http://www.xilinx.com/support/documentation/data_sheets/ds026.pdf⟩.

[15] *TL082* [online]. National Semiconductor. Datový list. ⟨http://www.national.com/ds.cgi/TL/TL082.pdf⟩.

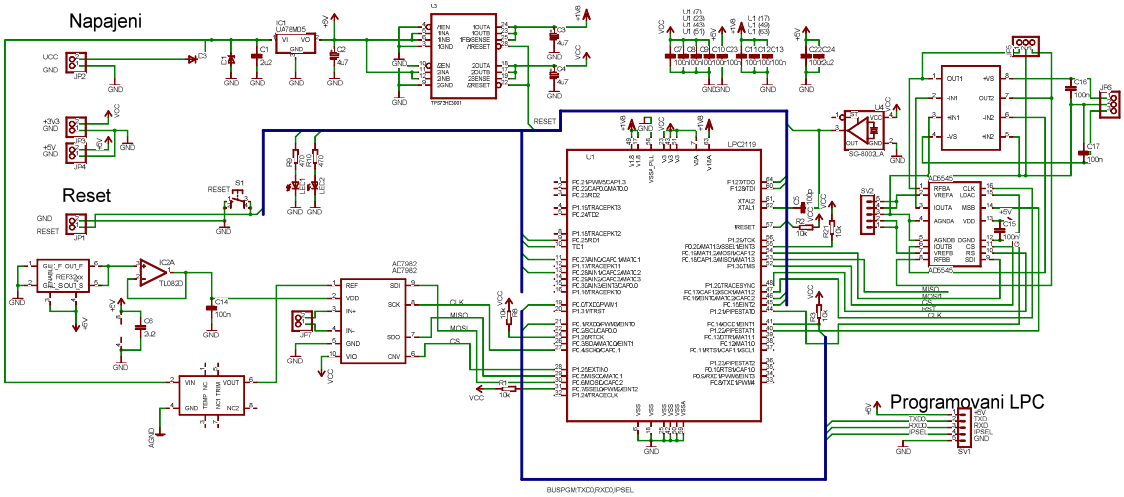
[16] *PCA82C250* [online]. NXP Semiconductors. ⟨http://www.nxp.com/acrobat/datasheets/PCA82C250_5.pdf⟩.

[17] *OMK Make-System* [online]. Katedra řídicí techniky, FEL ČVUT. OMK Make-System Homepage. ⟨http://rtime.felk.cvut.cz/omk/⟩.

[18] *Zdrojové kódy pro procesor* [online]. Katedra řídicí techniky, FEL ČVUT. ⟨http://rtime.felk.cvut.cz/repos/lpc21xx-boot/⟩.

Dodatek A

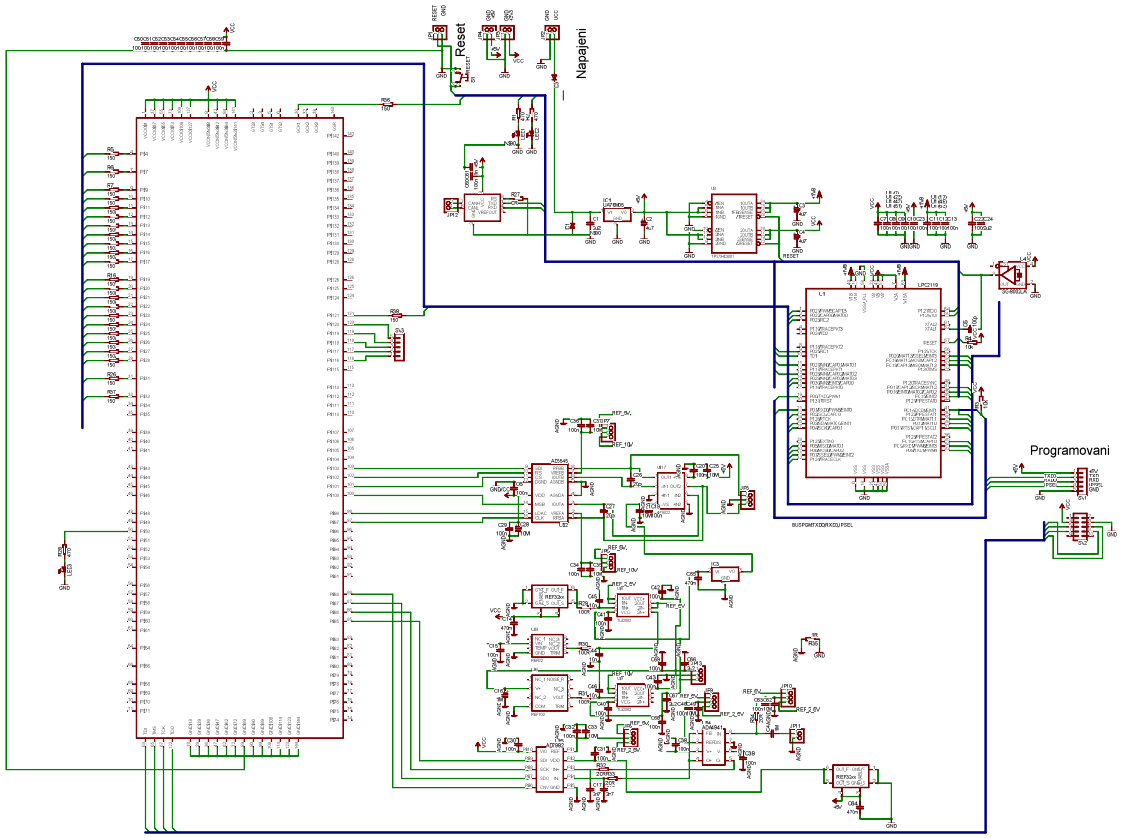
Schéma zapojení



Obrázek A.1. Schéma zapojení první verze zařízení

Dodatek B

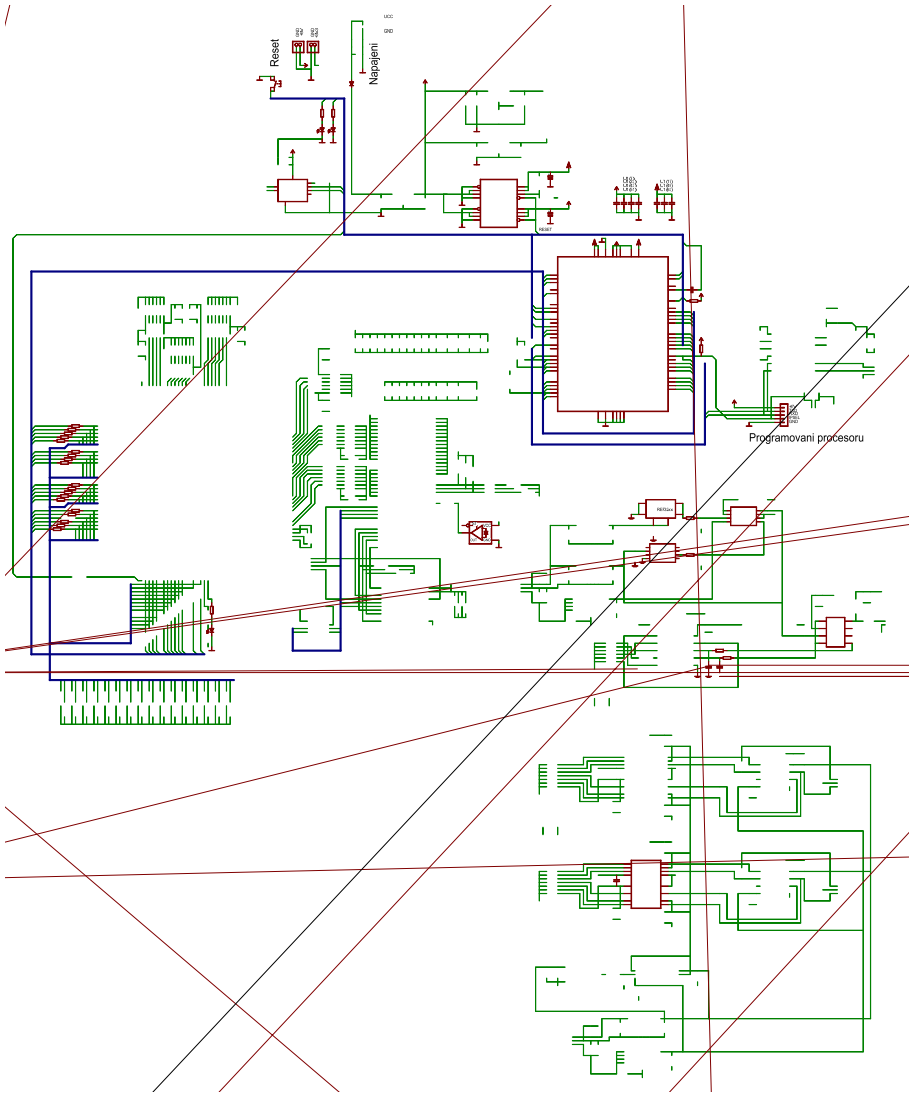
Schéma zapojení



Obrázek B.1. Schéma zapojení druhé verze zařízení

Dodatek C

Schéma zapojení



Obrázek C.1. Schéma zapojení třetí verze zařízení